

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 3 月 6 日 (06.03.2003)

PCT

(10) 国際公開番号
WO 03/019663 A1

(51) 国際特許分類⁷: H01L 27/11, 27/108, 21/8244, 21/8242

(21) 国際出願番号: PCT/JP02/05613

(22) 国際出願日: 2002 年 6 月 6 日 (06.06.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-255202 2001 年 8 月 24 日 (24.08.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 橋本 剛

(HASHIMOTO, Takeshi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 岩井 秀俊 (IWA, Hidetoshi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

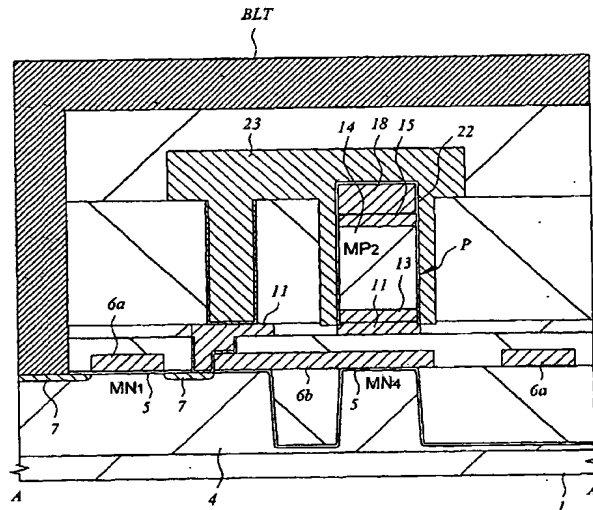
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体記憶装置およびその製造方法



(57) Abstract: A memory cell of an SRAM is composed of a transfer MISFET, a drive MISFET, and a load MISFET fabricated over the drive MISFET. The load MISFET has a vertical structure where a gate electrode (23) is disposed over the side face of a multilayer structure (P) extending perpendicularly to a major surface of a semiconductor substrate (1), with a gate insulating film (22) interposed between the gate electrode (23) and the multilayer structure (P). The multilayer structure (P) is composed of polycrystalline silicon films: a lower semiconductor layer (13), an intermediate semiconductor layer (14), and an upper semiconductor layer (15) in order from below.

[続葉有]

WO 03/019663 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

SRAMのメモリセルは、転送用MISFET、駆動用MISFETおよび負荷用MISFETで構成されており、負荷用MISFETは、駆動用MISFETの上部に形成されている。負荷用MISFETは、半導体基板(1)の主面に垂直な方向に延在する積層構造体(P)の側面にゲート絶縁膜(22)を介してゲート電極(23)を配置した縦型構造を有している。この積層構造体(P)は、多結晶シリコン膜で構成され、下層から順に下層半導体層(13)、中間半導体層(14)および上層半導体層(15)を積層した構成になっている。

明 細 書

半導体記憶装置およびその製造方法

5 技術分野

本発明は、半導体記憶装置およびその製造技術に関し、特に、メモリセルを構成するMISトランジスタの一部を立体構造型のMISFETで構成した半導体記憶装置に適用して有効な技術に関する。

10 背景技術

汎用の大容量半導体記憶装置の一種であるSRAM (Static Random Access Memory) は、一般に4個のnチャネル型MISFETと2個のpチャネル型MISFETとでメモリセルを構成している。しかし、この種のいわゆる完全CMOS型SRAMは、半導体基板の主面に6個のMISFETを平面的に配置するので、メモリセルサイズの縮小が困難である。

そこで、例えば特開平8-88328号公報や、特開平5-206394号公報に記載されているように、メモリセルを構成するMISFETの一部を縦型構造のMISFETで構成することによって、メモリセルサイズの縮小を図る技術が提案されている。しかし、これらの公報に記載された縦型構造のMISFETは、本願発明による縦型構造のMISFETとは構造が異なっている。

発明の開示

メモリセルのサイズは、メモリセルを構成するトランジスタの数によって律速される。例えば前述した4個のnチャネル型MISFETと2個のpチャネル型MISFETを半導体基板上に並べて配置する完全CMOS型SRAMの場合は、トランジスタ6個分のスペースを必要とする。また、この完全CMOS型SRAMは、nチャネル型MISFETとpチャネル型MISFETとを分離するウェル分離領域が必要となるので、メモリセルサイズを縮小しようとする、ラッチアップによるメモリセル特性の劣化という問題も生じる。

本発明の目的は、微細化が容易な立体構造型のメモリセルを有する半導体記憶装置を提供することにある。

本発明の他の目的は、SRAMのメモリセルサイズを縮小することのできる技術を提供することにある。

- 5 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

- 10 本発明のSRAMは、メモリセルを構成する一対の転送用MISFET、一対の駆動用MISFET、または一対の負荷用MISFETのいずれかを、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャンネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成し、この縦型構造のMISFETを、前記メモリセルを構成する他のMISFETの上部に形成するもの
15 である。

図面の簡単な説明

図1は、本発明の一実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

- 20 図2は、本発明の一実施の形態である半導体記憶装置のメモリセルを示す平面図である。

図3は、図2のA-A'線に沿った断面図である。

図4は、図2のB-B'線に沿った断面図である。

- 25 図5は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図6は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図7は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 8 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 9 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

5 図 10 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 11 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

10 図 12 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 13 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 14 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

15 図 15 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 16 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

20 図 17 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 18 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 19 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

25 図 20 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 21 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 22 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図である。

図 2 3 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

5 図 2 4 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 2 5 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 2 6 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

10 図 2 7 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 2 8 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

15 図 2 9 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 3 0 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 3 1 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

20 図 3 2 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 3 3 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

25 図 3 4 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 3 5 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 3 6 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 3 7 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 3 8 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

5 図 3 9 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 4 0 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

10 図 4 1 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 4 2 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 4 3 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

15 図 4 4 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 4 5 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

20 図 4 6 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 4 7 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す平面図である。

図 4 8 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

25 図 4 9 は、本発明の一実施の形態である半導体記憶装置の製造方法を示す断面図である。

図 5 0 は、従来の完全 CMOS 型 SRAM のメモリセルを示す平面図である。

図 5 1 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 5 2 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 5 3 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す平面図である。

5 図 5 4 は、図 5 3 の A - A' 線に沿った断面図である。

図 5 5 は、図 5 3 の B - B' 線に沿った断面図である。

図 5 6 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

10 図 5 7 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 5 8 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 5 9 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

15 図 6 0 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す概略断面図である。

図 6 1 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

20 図 6 2 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 6 3 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 6 4 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

25 図 6 5 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 6 6 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 6 7 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す

等価回路図である。

図 6 8 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

5 図 6 9 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 7 0 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 7 1 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す平面図である。

10 図 7 2 は、図 7 1 の A - A' 線に沿った断面図である。

図 7 3 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す等価回路図である。

図 7 4 は、本発明の他の実施の形態である半導体記憶装置のメモリセルを示す平面図である。

15 図 7 5 は、図 7 4 の A - A' 線に沿った断面図である。

図 7 6 は、図 7 4 の B - B' 線に沿った断面図である。

図 7 7 は、本発明の他の実施の形態である半導体記憶装置のセンスアンプ部を示す等価回路図である。

20 図 7 8 は、本発明の他の実施の形態である半導体記憶装置のセンスアンプ部を示す平面図である。

図 7 9 は、図 7 8 の A - A' 線に沿った断面図である。

図 8 0 は、図 7 8 の B - B' 線に沿った断面図である。

図 8 1 は、本発明の他の実施の形態である半導体記憶装置のセンスアンプ部の導電層パターンを示す平面図である。

25 図 8 2 は、本発明の他の実施の形態である半導体記憶装置のセンスアンプ部の導電層パターンを示す平面図である。

図 8 3 は、本発明の他の実施の形態である半導体記憶装置のセンスアンプ部の導電層パターンを示す平面図である。

図 8 4 は、従来の D R A M のセンスアンプ部を示す平面図である。

発明を実施するための最良の形態

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有するものには同一の符号を付し、

5 その繰り返しの説明は省略する。

(実施の形態 1)

図 1 は、本発明の一実施の形態である SRAM のメモリセルの等価回路図である。SRAM のメモリセルは、一对の相補性データ線 (BLT、BLB) とワード線 (WL) との交差部に配置された一对の駆動用 MISFET (MN_3 、 MN_4)、
10 一对の負荷用 MISFET (MP_1 、 MP_2) および一对の転送用 MISFET (MN_1 、 MN_2) によって構成されている。

転送用 MISFET (MN_1 、 MN_2) および駆動用 MISFET (MN_3 、 MN_4) は n チャネル型 MISFET で構成され、負荷用 MISFET (MP_1 、 MP_2) は p チャネル型 MISFET で構成されている。すなわち、メモリセルは、4 個
15 の n チャネル型 MISFET ($MN_1 \sim MN_4$) と 2 個の p チャネル型 MISFET (MP_1 、 MP_2) とを使った完全 CMOS 型で構成されている。完全 CMOS 型メモリセルは、4 個の n チャネル型 MISFET と 2 個の高抵抗負荷素子とを使った負荷抵抗型メモリセルに比べて待機時のリーク電流が少ないため、消費電力が低いという特徴を備えている。

20 メモリセルを構成する上記 6 個の MISFET のうち、駆動用 MISFET MN_3 および負荷用 MISFET MP_1 は第 1 のインバータ INV_1 を構成し、駆動用 MISFET MN_4 および負荷用 MISFET MP_2 は第 2 のインバータ INV_2 を構成している。これら一对のインバータ INV_1 、 INV_2 はメモリセル内で交差結合され、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。
25

上記フリップフロップ回路の一方の入出力端子は、転送用 MISFET MN_1 のソース、ドレインの一方に接続され、もう一方の入出力端子は、転送用 MISFET MN_2 のソース、ドレインの一方に接続されている。転送用 MISFET MN_1 のソース、ドレインの他方は、データ線 BLT に接続され、転送用 MISFET

TMN₂のソース、ドレインの他方は、データ線BLBに接続されている。また、フリップフロップ回路の一端（2個の負荷用MISFETMP₁、MP₂のそれぞれのソース、ドレインの一方）は、例えば3Vの電源電圧（V_{dd}）に接続され、他端（2個の駆動用MISFETMP₁、MP₂のそれぞれのソース、ドレインの一方）は、基準電圧（V_{ss}）、例えば0VのGND電圧に接続されている。

図2は、上記SRAMのメモリセルを示す平面図、図3は、図2のA-A'線に沿った断面図、図4は、図2のB-B'線に沿った断面図である。

メモリセルを構成する6個のMISFETは、p型単結晶シリコンからなる半導体基板（以下、基板という）1の主面に形成されている。nチャネル型MISFETで構成される転送用MISFET（MN₁、MN₂）および駆動用MISFET（MN₃、MN₄）は、p型ウェル4の活性領域Lに形成されている。転送用MISFET（MN₁、MN₂）は、ゲート絶縁膜5、ワード線WLと一体に構成されたゲート電極6aおよび一对のn型半導体領域7（ソース、ドレイン）を有しており、駆動用MISFET（MN₃、MN₄）は、ゲート絶縁膜5、ゲート電極6bおよび一对のn型半導体領域7（ソース、ドレイン）を有している。ゲート絶縁膜5は、酸化シリコン膜で構成され、ゲート電極6a（ワード線WL）およびゲート電極6bは、p型の多結晶シリコン膜で構成されている。転送用MISFETMN₁の一方の半導体領域7は、データ線BLTに接続され、転送用MISFETMN₂の一方の半導体領域7は、データ線BLBに接続されている。

pチャネル型MISFETで構成される負荷用MISFET（MP₁、MP₂）は、駆動用MISFET（MN₃、MN₄）の上部に形成されている。負荷用MISFET（MP₁、MP₂）のそれぞれは、基板1の主面に垂直な方向に延在する積層構造体Pの側面にゲート絶縁膜22を介してゲート電極23を配置した縦型構造を有している。積層構造体Pは多結晶シリコン膜で構成され、下層から順に下層半導体層13、中間半導体層14および上層半導体層15を積層した構成になっている。下層半導体層13は、負荷用MISFET（MP₁、MP₂）のソースを構成し、その下部の局所配線11に電氣的に接続されている。また、上層半導体層15は、負荷用MISFET（MP₁、MP₂）のドレインを構成し、その上部の電源配線18に電氣的に接続されている。中間半導体層14は、負荷用M

ISFET (MP_1 , MP_2) のチャネル領域を構成し、実質的に負荷用 MISFET (MP_1 , MP_2) の基板を構成している。

次に、上記メモリセルのより詳細な構造をその製造方法と共に説明する。なお、メモリセルの製造方法を説明する図のうち、符号 A-A' を付した断面図は、前記図 2 の A-A' 線に沿った断面に対応する図、符号 B-B' を付した断面図は、前記図 2 の B-B' 線に沿った断面に対応する図である。また、平面図には主としてメモリセルを構成する導電層を示し、導電層間を絶縁する絶縁膜の図示は省略する。

まず、図 5、図 6 および図 7 に示すように、例えば p 型の単結晶シリコンからなる基板 1 の主面の素子分離領域に素子分離溝 2 を形成する。素子分離溝 2 は、基板 1 の主面をエッチングして溝を形成し、続いてこの溝の内部を含む基板 1 上に CVD 法で酸化シリコン膜 3 を堆積した後、溝の外部の不要な酸化シリコン膜 3 を化学機械研磨 (Chemical Mechanical Polishing; CMP) 法で研磨、除去することによって形成する。この素子分離溝 2 を基板 1 に形成することにより、素子分離溝 2 によって周囲を規定された領域が活性領域 L となる。

次に、図 8 および図 9 に示すように、基板 1 にリン (P) をイオン注入した後、基板 1 を熱処理してリンを基板 1 中に拡散させることによって、p 型ウエル 4 を形成する。続いて、基板 1 を湿式酸化することにより、活性領域 L の表面に酸化シリコン膜からなるゲート絶縁膜 5 を形成する。

次に、図 10、図 11 および図 12 に示すように、基板 1 上に転送用 MISFET (MN_1 , MN_2) のゲート電極 6a および駆動用 MISFET (MN_3 , MN_4) のゲート電極 6b を形成する。転送用 MISFET (MN_1 , MN_2) のゲート電極 6a は、活性領域 L 以外の領域でワード線 WL を構成する。ゲート電極 6a (ワード線 WL) およびゲート電極 6b は、基板 1 上に CVD 法で多結晶シリコン膜を堆積し、続いてフォトリソ膜をマスクにしたドライエッチングで多結晶シリコン膜をパターニングすることによって形成する。この多結晶シリコン膜にはその堆積時にホウ素 (B) を導入し、その導電性を p 型とする。

次に、図 13 および図 14 に示すように、p 型ウエル 4 にリン (P) またはヒ素 (As) をイオン注入することによって、n 型半導体領域 7 を形成する。n 型

半導体領域7の一部は、転送用MISFET (MN_1 、 MN_2) のソース、ドレインを構成し、他の一部は駆動用MISFET (MN_3 、 MN_4) のソース、ドレインを構成する。ここまでの工程により、nチャネル型MISFETで構成された2個の転送用MISFET (MN_1 、 MN_2) および2個の駆動用MISFET (MN_3 、 MN_4) が完成する。

次に、図15、図16および図17に示すように、基板1上にCVD法で酸化シリコン膜8を堆積した後、フォトレジスト膜をマスクにして酸化シリコン膜8の一部をドライエッチングすることにより、駆動用MISFET (MN_3 、 MN_4) のそれぞれのゲート電極6bの上部にコンタクトホール9を形成する。

次に、図18および図19に示すように、コンタクトホール9の内部にバリア金属層10を形成する。バリア金属層10を形成するには、例えばコンタクトホール9の内部を含む酸化シリコン膜8上にスパッタリング法またはCVD法でTiN膜を堆積し、続いて酸化シリコン膜8の上部のTiN膜をエッチバックして除去する。

次に、図20、図21および図22に示すように、酸化シリコン膜8の上部に一对の局所配線11、11を形成する。局所配線11、11は、酸化シリコン膜8の上部にCVD法で多結晶シリコン膜を堆積し、続いてフォトレジスト膜をマスクにしたドライエッチングで多結晶シリコン膜をパターンニングすることによって形成する。局所配線11、11は、後に形成されるpチャネル型負荷用MISFET (MP_1 、 MP_2) のソースとなるp型の下層半導体層12と電氣的に接続されるので、上記多結晶シリコン膜にはその堆積時にホウ素(B)を導入し、その導電性をp型とする。

上記一对の局所配線11、11の一方は、コンタクトホール9を通じて駆動用MISFET MN_3 のドレイン (n型半導体領域7) および駆動用MISFET MN_4 のゲート電極6bに電氣的に接続される。また、局所配線11、11の他方は、コンタクトホール9を通じて駆動用MISFET MN_4 のドレイン (n型半導体領域7) および駆動用MISFET MN_3 のゲート電極6bに電氣的に接続される。p型多結晶シリコンからなる局所配線11とドレイン (n型半導体領域7) とは、コンタクトホール9の内部のバリア金属層10を介して電氣的に

接続されるので、両者の間に p n 接合が形成されることはない。

次に、図 2 3 および図 2 4 に示すように、局所配線 1 1、1 1 の上部に CVD
法で酸化シリコン膜 1 2 を堆積した後、化学機械研磨 (CMP) 法を用いて酸化
シリコン膜 1 2 の表面を平坦化する。この研磨は、局所配線 1 1 をストッパに用
5 いて行い、局所配線 1 1 の表面が露出したときに研磨を停止する。

次に、図 2 5 および図 2 6 に示すように、酸化シリコン膜 1 2 の上部に CVD
法で 3 層の多結晶シリコン膜 1 3 a、1 4 a、1 5 a を堆積した後、多結晶シリ
コン膜 1 5 a の上部に窒化シリコン膜 1 6 を堆積する。多結晶シリコン膜 1 3 a、
1 5 a には高濃度のホウ素 (B) を導入し、その導電型を p 型とする。また、多
10 結晶シリコン膜 1 4 a には低濃度のホウ素 (B) を導入し、その導電型を p 型と
する。多結晶シリコン膜 1 3 a、1 4 a、1 5 a のホウ素濃度は、その堆積中に
ホウ素を含むガス (BH_3) の濃度を変えることによって制御する。

次に、図 2 7、図 2 8 および図 2 9 に示すように、フォトリジスト膜 (図示せ
ず) をマスクに用いたドライエッチングで窒化シリコン膜 1 6 と 3 層の多結晶シ
15 リコン膜 1 3 a、1 4 a、1 5 a とをパターンニングする。続いて、図 3 0 および
図 3 1 に示すように、酸化シリコン膜 1 2 の上部に CVD 法で酸化シリコン膜 1
7 を堆積した後、化学機械研磨 (CMP) 法を用いて酸化シリコン膜 1 7 の表面
を平坦化する。この研磨は、窒化シリコン膜 1 6 をストッパに用いて行い、窒化
シリコン膜 1 6 の表面が露出したときに研磨を停止する。

20 次に、図 3 2 および図 3 3 に示すように、多結晶シリコン膜 1 5 a の上部の窒
化シリコン膜 1 6 を熱リン酸で除去することによって多結晶シリコン膜 1 5 a の
表面を露出させた後、酸化シリコン膜 1 7 の上部に CVD 法で多結晶シリコン膜
1 8 a を堆積する。多結晶シリコン膜 1 8 a には、その堆積時にホウ素 (B) を
導入し、その導電型を p 型とする。

25 次に、図 3 4、図 3 5 および図 3 6 に示すように、フォトリジスト膜をマスク
に用いたドライエッチングで多結晶シリコン膜 1 8 a およびその下層の多結晶シ
リコン膜 1 3 a、1 4 a、1 5 a をパターンニングする。これにより、電源配線 1
8 と、下層半導体層 1 3、中間半導体層 1 4、上層半導体層 1 5 からなる四角柱
状の積層構造体 P が形成されると共に、積層構造体 P の対向する 2 側面と酸化シ

リコン膜 17 との間に溝 19 が形成される。

- 上記積層構造体 P の下層半導体層 13 は、負荷用 MISFET のソースを構成し、その下部の局所配線 11 に電氣的に接続される。また、上層半導体層 15 は、負荷用 MISFET のドレインを構成し、その上部の電源配線 18 に電氣的に接続される。中間半導体層 14 は、負荷用 MISFET のチャネル領域を構成し、実質的に負荷用 MISFET の基板を構成する。

次に、図 37、図 38 および図 39 に示すように、フォトリジスト膜をマスクにして酸化シリコン膜 17 をドライエッチングすることにより、一対の局所配線 11、11 のそれぞれの上部にスルーホール 20 を形成する。

- 次に、図 40 および図 41 に示すように、スルーホール 20 の底部に露出した局所配線 11 の表面にバリアメタル層 21 を形成する。バリアメタル層 21 を形成するには、例えばスルーホール 20 を形成するときに使用したフォトリジスト膜をマスクに用い、スパッタリング法または CVD 法でスルーホール 20 の内部 TiN 膜を薄く堆積する。

- 次に、図 42 および図 43 に示すように、基板 1 を熱酸化することによって、多結晶シリコンからなる積層構造体 P および電源配線 18 の表面に膜厚 10 nm 以下の薄い酸化シリコン膜からなる負荷用 MISFET のゲート絶縁膜 22 を形成する。

- 次に、図 44、図 45 および図 46 に示すように、負荷用 MISFET のゲート電極 23 を形成する。ゲート電極 23 を形成するには、スルーホール 20 および溝 19 の内部を含む酸化シリコン膜 17 の上部に CVD 法で多結晶シリコン膜を堆積した後、フォトリジスト膜（図示せず）をマスクに用いたドライエッチングで酸化シリコン膜 17 の上部の多結晶シリコン膜をパターンニングする。この多結晶シリコン膜には、その堆積時にリン（P）を導入し、その導電型を n 型とする。ここまでの工程により、駆動用 MISFET（MN₃、MN₄）の上部に負荷用 MISFET（MP₁、MP₂）が形成される。

次に、図 47、図 48 および図 49 に示すように、ゲート電極 23 の上部に CVD 法で酸化シリコン膜 24 を堆積した後、フォトリジスト膜（図示せず）をマスクに用いて酸化シリコン膜 24、17、12、8 をドライエッチングすること

により、転送用MISFET (MN_1 、 MN_2) のソース、ドレインの一方 (n型半導体領域7) の上部にコンタクトホール25を形成する。

その後、酸化シリコン膜24の上部に相補性データ線BLT、BLBを形成することにより、前記図2、図3および図4に示したメモリセルが完成する。相補性データ線BLT、BLBを形成するには、例えばコンタクトホール25の内部を含む酸化シリコン膜24の上部にスパッタリング法でAl合金膜、W膜などのメタル膜を堆積し、続いてフォトリソist膜をマスクに用いたドライエッチングでメタル膜をパターンニングする。

このように、本実施形態のSRAMは、駆動用MISFET (MN_3 、 MN_4) の上部に負荷用MISFET (MP_1 、 MP_2) を配置し、かつ負荷用MISFET (MP_1 、 MP_2) を縦型構造のMISFETで構成するので、メモリセルを構成するトランジスタの占有面積を小さくすることができる。

図50は、nチャネル型の転送用MISFET (MN_1 、 MN_2) および駆動用MISFET (MN_3 、 MN_4) をp型ウェルに形成し、pチャネル型の負荷用MISFET (MP_1 、 MP_2) をn型ウェルに形成する従来の完全CMOS型SRAMのメモリセルを示す平面図である。図50と前記図2とを比較すれば明らかなように、本実施形態のSRAMは、同一デザインルールで製造される従来の完全CMOS型SRAMに比べてメモリセルサイズが大幅に縮小される。また、本実施形態のSRAMは、n型ウェルとp型ウェルの分離が不要となることによつて、ラッチアップによるメモリ特性の劣化も防止できる。

上記の例では、メモリセルを構成する6個のトランジスタのうち、一对のpチャネル型負荷用MISFET (MP_1 、 MP_2) を縦型構造とした場合について説明したが、一对のnチャネル型転送用MISFET (MN_1 、 MN_2) あるいは一对のnチャネル型駆動用MISFET (MN_3 、 MN_4) を縦型構造とし、これを他のMISFETの上部に配置することも可能である。図51は、nチャネル型転送用MISFET (MN_1 、 MN_2) を縦型構造としたメモリセルの等価回路図である。

なお、一般にMISFETの上部に形成されるMISFETは、基板上に形成されたMISFETに比べて駆動能力が低下する。SRAMの場合は、駆動用M

ISFETの駆動能力を他のMISFETのそれよりも大きく設定する必要があるので、メモリセルの一部を構成するMISFETを他のMISFETの上部に形成する場合は、駆動用MISFETを基板上に形成し、駆動能力が小さくて済む負荷用MISFETまたは転送用MISFETを他のMISFETの上部に形成する方がよい。

上記の例では、完全CMOS型のメモリセルについて説明したが、一對の負荷用MISFETをデプレッション型MISFETで構成するデプレッション負荷型メモリセルや、負荷用MISFETに代えて多結晶シリコン抵抗を用いる高抵抗負荷型メモリセルの場合も、一部のMISFETを縦型構造で構成することにより、メモリセルサイズの縮小が可能となる。

例えば図52は、デプレッション負荷型メモリセルにおいて、一對のデプレッション型負荷用MISFET (MP_1 、 MP_2) を縦型構造としたメモリセルの等価回路図、図53は、このメモリセルの概略平面図、図54は、図53のA-A'線に沿った断面図、図55は、図53のB-B'線に沿った断面図である。また、図56は、デプレッション負荷型メモリセルにおいて、一對のnチャネル型転送用MISFET (MN_1 、 MN_2) を縦型構造とした場合の等価回路図である。また、図57は、高抵抗負荷型メモリセルにおいて、一對のnチャネル型駆動用MISFET (MN_3 、 MN_4) を縦型構造としたメモリセルの等価回路図、図58は、同じく高抵抗負荷型メモリセルにおいて、一對のnチャネル型転送用MISFET (MN_1 、 MN_2) を縦型構造とした場合の等価回路図である。なお、デプレッション負荷型メモリセルや高抵抗負荷型メモリセルの場合も、トランジスタの微細化に伴う駆動能力の低下を抑制する観点からは、駆動用MISFETを基板上に形成する方がよい。すなわち、図1～図4に示すように、nチャネル型駆動用MISFET (MN_3 、 MN_4) を基板1に形成する方がよい。

図59および図60は、図58に示す高抵抗負荷型メモリセルの抵抗部を削除し、転送用MISFETのリーク電流を負荷代わりに用いたメモリセルの等価回路図および概略断面図である。この場合は、転送用MISFET (MP_1 、 MP_2) に負荷代用に機能が必要となるため、転送用MISFET (MP_1 、 MP_2) を、高電圧が伝達可能な縦型構造のpチャネル型MISFETで構成する。この構造

は、メモリセルを4個のトランジスタで構成するので、メモリセルサイズの縮小が可能である。また、この縦型構造の転送用MISFET (MP_1 、 MP_2) をnチャネル型駆動用MISFET (MN_3 、 MN_4) の上部に形成することにより、メモリセルサイズをさらに縮小することが可能である。すなわち、トランジスタの微細化に伴う電流駆動能力の低下を抑制する観点から、nチャネル型駆動用MISFET (MN_3 、 MN_4) は、基板1に形成される。

上記の例では、メモリセルを構成する4個または6個のトランジスタのうち、2個のMISFETを縦型構造とする場合について説明したが、4個あるいは6個のMISFETを縦型構造とすることも可能である。

例えば図61は、完全CMOS型メモリセルにおいて、一对のpチャネル型負荷用MISFET (MP_1 、 MP_2) と一对のnチャネル型転送用MISFET (MN_1 、 MN_2) とを縦型構造とした場合の等価回路図、図62は、同じく完全CMOS型メモリセルにおいて、一对のpチャネル型負荷用MISFET (MP_1 、 MP_2) と一对のnチャネル型駆動用MISFET (MN_3 、 MN_4) とを縦型構造とした場合の等価回路図、図63は、同じく完全CMOS型メモリセルにおいて、一对のnチャネル型転送用MISFET (MN_1 、 MN_2) と一对のnチャネル型駆動用MISFET (MN_3 、 MN_4) とを縦型構造とした場合の等価回路図である。

図64は、デプレッション負荷型メモリセルにおいて、一对のデプレッション型負荷用MISFET (MP_1 、 MP_2) と一对のnチャネル型転送用MISFET (MN_1 、 MN_2) とを縦型構造とした場合の等価回路図、図65は、同じくデプレッション負荷型メモリセルにおいて、一对のデプレッション型負荷用MISFET (MP_1 、 MP_2) と一对のnチャネル型駆動用MISFET (MN_3 、 MN_4) とを縦型構造とした場合の等価回路図、図66は、同じくデプレッション負荷型メモリセルにおいて、一对のnチャネル型転送用MISFET (MN_1 、 MN_2) と一对のnチャネル型駆動用MISFET (MN_3 、 MN_4) とを縦型構造とした場合の等価回路図である。

図67は、高抵抗負荷型メモリセルにおいて、一对のnチャネル型転送用MISFET (MN_1 、 MN_2) と一对のnチャネル型駆動用MISFET (MN_3 、 M

N₄)とを縦型構造とした場合の等価回路図である。

- 図68は、完全CMOS型メモリセルにおいて、一対のpチャネル型負荷用MISFET (MP₁、MP₂)と一対のnチャネル型転送用MISFET (MN₁、MN₂)と一対のnチャネル型駆動用MISFET (MN₃、MN₄)とを縦型構造とした場合の等価回路図、図69は、デプレッション負荷型メモリセルにおいて、一対のデプレッション型負荷用MISFET (MP₁、MP₂)と一対のnチャネル型転送用MISFET (MN₁、MN₂)と一対のnチャネル型駆動用MISFET (MN₃、MN₄)とを縦型構造とした場合の等価回路図である。

(実施の形態2)

- 10 本実施形態は、前述した縦型構造のMISFETを使って1トランジスタ／1キャパシタ型のメモリセルを実現した例である。図70は、このメモリセルの等価回路図、図71は、メモリセルの概略平面図、図72は、図71のA-A'線に沿った断面図である。

- 図72に示すように、メモリセルMCは、基板1の溝30に形成された1個の容量素子Cとその上部に形成された1個の選択用MISFET (Q_t)とで構成されている。選択用MISFET Q_sは、四角柱状にパターニングされた多結晶シリコン膜からなる積層構造体Pと、積層構造体Pの表面に形成された酸化シリコン膜からなるゲート絶縁膜31と、積層構造体Pの側壁および上部に形成された多結晶シリコン膜からなるゲート電極32 (ワード線WL)とによって構成されている。すなわち、選択用MISFET Q_sは、縦型構造で構成されている。

- 20 積層構造体Pは、選択用MISFET Q_sのソースを構成する下層半導体層33、チャネル形成領域を構成する中間半導体層34、およびドレインを構成する上層半導体層35をこの順に積層した構成になっている。下層半導体層33および上層半導体層35は、高不純物濃度のリン(P)が導入された多結晶シリコン膜からなり、中間半導体層34は、極めて低濃度のリン(P)が導入された多結晶シリコン膜からなる。上層半導体層35 (ドレイン)の上部には、その上部に形成されたn型の多結晶シリコン膜からなるビット線BLが接続されている。

下層半導体層33と中間半導体層34との間、および上層半導体層35と中間半導体層34との間には、トンネル絶縁膜36が形成されている。下層半導体層

33 (ソース) と上層半導体層 35 (ドレイン) との間にはチャネル電流が流れるため、これらのトンネル絶縁膜 36 は、薄い膜厚で形成する必要がある。トンネル絶縁膜 36 は、例えば CVD 法で堆積した膜厚 2 nm ~ 3 nm 程度の窒化シリコン膜などで構成する。トンネル絶縁膜 36 は、製造工程の途中の熱処理など
5 によって、下層半導体層 33 や上層半導体層 35 の不純物 (リン) が低不純物濃度
の中間半導体層 34 に拡散するのを防止するストップパとして機能するので、メモ
リセルのリーク電流を抑制し、情報の保持特性を向上させることができる。

図示は省略するが、中間半導体層 34 の中途部にトンネル絶縁膜 36 を設けて
もよい。中間半導体層 34 の中途部に設けたトンネル絶縁膜 36 は、オフ状態に
10 ある選択用 MISFET Q_t の中間半導体層 34 で発生したキャリア (電子または
正孔) が電流となってソース、ドレイン間を流れないようにするストップパと
して機能する。すなわち、このトンネル絶縁膜 36 は、選択用 MISFET Q_t の
オフ電流を小さく抑えるのに有効である。中間半導体層 34 の中途部に設けるト
ンネル絶縁膜 36 は 1 層に限らず、多層にすることもできる。

15 (実施の形態 3)

図 7 3 は、本実施形態のメモリセルの等価回路図、図 7 4 は、このメモリセル
の概略平面図、図 7 5 は、図 7 4 の A-A' 線に沿った断面図、図 7 6 は、図 7
4 の B-B' 線に沿った断面図である。

本実施形態のメモリセルは、1 個の読み出し用 MISFET (Q_r) と 1 個の
20 書き込み用 MISFET (Q_w) とで構成され、読み出し用 MISFET Q_r の
ゲート電極を蓄積ノードとして使用する。

読み出し用 MISFET Q_r は、p 型の基板 1 に形成された n 型の半導体領域
41 (ソース、ドレイン)、基板 1 の表面に形成されたゲート絶縁膜 42、ゲー
ト絶縁膜 42 の上部に形成された n 型多結晶シリコン膜からなるゲート電極 43
25 によって構成されている。読み出し用 MISFET Q_r の半導体領域 41 (ソー
ス、ドレイン) の一方には、n 型の多結晶シリコン膜からなるデータ線 DL が電
氣的に接続されている。

書き込み用 MISFET Q_w は、読み出し用 MISFET Q_r の上部に形成され
た多結晶シリコン膜からなる積層構造体 P と、積層構造体 P の表面に形成され

た酸化シリコン膜からなるゲート絶縁膜 44 と、積層構造体 P の側壁および上部に形成された多結晶シリコン膜からなるゲート電極 45（ワード線 WL）とによって構成されている。すなわち、書き込み用 MISFETQ_w は、縦型構造で構成されている。

- 5 積層構造体 P は、書き込み用 MISFETQ_w のソースを構成する下層半導体層 46、チャネル形成領域を構成する中間半導体層 47、およびドレインを構成する上層半導体層 48 をこの順に積層した構成になっている。下層半導体層 46 および上層半導体層 48 は、高不純物濃度のリン（P）が導入された多結晶シリコン膜からなり、中間半導体層 47 は、極めて低濃度のリン（P）が導入された多結晶シリコン膜からなる。下層半導体層 46 と中間半導体層 47 との間、および上層半導体層 48 と中間半導体層 47 との間には、トンネル絶縁膜 49 が形成されている。上層半導体層 47（ドレイン）には、前述したデータ線 DL が電氣的に接続されている。

- 本実施形態によれば、読み出し用 MISFETQ_r の上部に縦型構造の書き込み用 MISFETQ_w を形成することにより、2 トランジスタ型メモリセルのセルサイズを大幅に縮小することができる。

（実施の形態 4）

- 図 77 は、本実施形態の DRAM のセンスアンプ部とメモリアレイの一部とを示す等価回路図、図 78 は、図 77 に対応する領域の概略平面図、図 79 は、図 78 の A-A' 線に沿った断面図、図 80 は、図 78 の B-B' 線に沿った断面図である。

- 本実施形態の DRAM は、センスアンプ部 SA を構成する MISFET の一部（図 78 のメッシュパターンで示した MISFET）を縦型構造の MISFET で構成している。また、メモリアレイに形成されたメモリセルも縦型構造の MISFET で構成されている。すなわち、メモリセルは、前記実施の形態 2 のメモリセルと同様、基板 1 内に形成された 1 個の容量素子とその上部に形成された 1 個の縦型構造の選択用 MISFET とで構成されている。

図 81～図 83 は、メモリセルとセンスアンプを構成する複数の導電層パターンを示す平面図である。各図の中央部はセンスアンプ部 SA、その両側はこのセ

ンスアンプ部SAに接続されたメモリセルを示している。

図81は、活性領域Lのパターンを示す平面図である。図82は、第1層目の多結晶シリコン膜50A、50Bのパターンを示す平面図である。多結晶シリコン膜50Aは、基板に形成されるMISFETのゲート電極を構成し、多結晶シリコン膜50Bは、縦型構造のMISFETと他の導電層とを接続する配線を示している。図83は、縦型構造のMISFETを構成する積層構造体Pのパターンとその上部に形成されるビット線BLにパターンを示す平面図である。

図84は、基板上に形成したnチャネル型MISFETとpチャネルMISFETとで構成した従来のセンスアンプ部SAの導電層パターンを示す平面図である。図84と前記図78とを比較すれば明らかなように、本実施形態のセンスアンプ部SAは、同一デザインルールで製造される従来構造のセンスアンプ部SAに比べてそのサイズが大幅に縮小される。

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

産業上の利用可能性

SRAMのメモリセルを構成するMISFETの一部を縦型構造のMISFETで構成することにより、メモリセルサイズを縮小することができる。また、縦型構造のMISFETを他のMISFETの上部に形成することにより、メモリセルサイズを大幅に縮小することができる。

請 求 の 範 囲

1. 一对の転送用MISFETと、一对の駆動用MISFETと、一对の負荷用MISFETとでメモリセルを構成した完全CMOS型SRAMを有する半導体記憶装置であって、
- 5 前記一对の転送用MISFET、前記一对の駆動用MISFET、および前記一对の負荷用MISFETのいずれかは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成されていることを特徴とする半導体記憶装置。
- 10 2. 前記縦型構造のMISFETは、前記メモリセルを構成する他のMISFETの上部に形成されていることを特徴とする請求項1記載の半導体記憶装置。
3. 前記縦型構造のMISFETは、前記一对の負荷用MISFETであることを特徴とする請求項2記載の半導体記憶装置。
- 15 4. 前記縦型構造のMISFETは、前記一对の転送用MISFET、前記一对の駆動用MISFET、または前記一对の負荷用MISFETのうち、いずれか1種のMISFETであることを特徴とする請求項1記載の半導体記憶装置。
5. 前記縦型構造のMISFETは、前記一对の転送用MISFET、前記一对の駆動用MISFET、または前記一对の負荷用MISFETのうち、いずれか
- 20 2種のMISFETであることを特徴とする請求項1記載の半導体記憶装置。
6. 前記縦型構造のMISFETは、前記一对の転送用MISFET、前記一对の駆動用MISFET、および前記一对の負荷用MISFETであることを特徴とする請求項1記載の半導体記憶装置。
7. 前記縦型MISFETのソースとチャネル領域との間、およびドレインとチャネル領域との間に、それぞれトンネル絶縁膜が介在していることを特徴とする
- 25 請求項1記載の半導体記憶装置。
8. 前記縦型MISFETのチャネル領域の一部に1層または複数層のトンネル絶縁膜が介在していることを特徴とする請求項1記載の半導体記憶装置。
9. 一对の転送用MISFETと、一对の駆動用MISFETと、一对の負荷抵

抗素子とでメモリセルを構成した高抵抗負荷型SRAMを有する半導体記憶装置であって、

- 5 前記一対の転送用MISFETおよび前記一対の駆動用MISFETのいずれかは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャンネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成されていることを特徴とする半導体記憶装置。

- 10 10. 前記縦型構造のMISFETは、前記一対の転送用MISFETおよび前記一対の駆動用MISFETであることを特徴とする請求項9記載の半導体記憶装置。

11. 一対の転送用MISFETと、一対の駆動用MISFETと、一対のデプレッション型負荷用MISFETとでメモリセルを構成したデプレッション負荷型SRAMを有する半導体記憶装置であって、

- 15 前記一対の転送用MISFET、前記一対の駆動用MISFET、および前記一対のデプレッション型負荷用MISFETのいずれかは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャンネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成されていることを特徴とする半導体記憶装置。

- 20 12. 前記縦型構造のMISFETは、前記メモリセルを構成する他のMISFETの上部に形成されていることを特徴とする請求項11記載の半導体記憶装置。

13. 前記縦型構造のMISFETは、前記一対のデプレッション型負荷用MISFETであることを特徴とする請求項11または12記載の半導体記憶装置。

- 25 14. 前記縦型構造のMISFETは、前記一対の転送用MISFET、前記一対の駆動用MISFET、または前記一対のデプレッション型負荷用MISFETのうち、いずれか1種のMISFETであることを特徴とする請求項11記載の半導体記憶装置。

15. 前記縦型構造のMISFETは、前記一対の転送用MISFET、前記一対の駆動用MISFET、または前記一対のデプレッション型負荷用MISFE

Tのうち、いずれか2種のMISFETであることを特徴とする請求項11記載の半導体記憶装置。

16. 前記縦型構造のMISFETは、前記一对の転送用MISFET、前記一对の駆動用MISFET、および前記一对のデプレッション型負荷用MISFETであることを特徴とする請求項11記載の半導体記憶装置。

17. 一对の転送用MISFETと、一对の駆動用MISFETとでメモリセルを構成したSRAMを有する半導体記憶装置であって、

- 前記一对の転送用MISFETは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成されていることを特徴とする半導体記憶装置。

18. 前記一对の転送用MISFETは、前記一对の駆動用MISFETの上部に形成されていることを特徴とする請求項17記載の半導体記憶装置。

19. nチャネル型MISFETとpチャネル型MISFETとからなるセンスアンプ回路を備えたDRAMを有する半導体記憶装置であって、前記センスアンプ回路を構成するMISFETの一部は、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する縦型構造のMISFETで構成されていることを特徴とする半導体記憶装置。

20. 前記DRAMのメモリセルは、前記半導体基板の内部に形成された1個の容量素子と、前記容量素子の上部に形成され、前記半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する1個の縦型構造のMISFETとで構成されていることを特徴とする請求項19記載の半導体記憶装置。

21. 前記転送用MISFETは、pチャネル型MISFETで構成され、

前記駆動用MISFETは、nチャネル型MISFETで構成されることを特徴とする請求項18記載の半導体記憶装置。

22. 前記一对の転送用MISFETのゲート電極は、ワード線に電氣的に接続

され、前記一对の駆動用MISFETは、半導体基板上に形成されることを特徴とする請求項17記載の半導体記憶装置。

23. ワード線と一对のビット線とメモリセルとを有する半導体記憶装置であって、

- 5 前記メモリセルは、第1および第2転送用pチャネル型MISFETと、第1および第2駆動用nチャネル型MISFETとを有し、

前記第1および第2転送用pチャネル型MISFETは、前記1および第2駆動用nチャネル型MISFETの上部に形成され、

- 10 前記第1および第2転送用pチャネル型MISFETのそれぞれは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第1および第2転送用pチャネル型MISFETのゲート電極は、前記ワード線に電氣的に接続され、

- 15 前記第1転送用pチャネル型MISFETは、前記ソースおよびドレインの一方が前記一对のビット線の一方に電氣的に接続され、前記ソースおよびドレインの他方が、前記第1駆動用nチャネル型MISFETのドレインおよび前記第2駆動用nチャネル型MISFETのゲート電極に電氣的に接続され、

- 20 前記第2転送用pチャネル型MISFETは、前記ソースおよびドレインの一方が前記一对のビット線の他方に電氣的に接続され、前記ソースおよびドレインの他方が、前記第2駆動用nチャネル型MISFETのドレインおよび前記第1駆動用nチャネル型MISFETのゲート電極に電氣的に接続されることを特徴とする半導体記憶装置。

- 25 24. 前記第1および第2駆動用nチャネル型MISFETは、半導体基板上に形成されることを特徴とする請求項23記載の半導体記憶装置。

25. ワード線と一对のビット線とメモリセルとを有する半導体記憶装置であって、

前記メモリセルは、第1および第2転送用MISFETと、第1および第2駆動用nチャネル型MISFETとを有し、

前記メモリセルは、前記第 1 および第 2 転送用 M I S F E T のリーク電流を負荷代わりに用い、

前記第 1 および第 2 転送用 M I S F E T のそれぞれを縦型構造の p チャネル型 M I S F E T で構成し、

- 5 前記縦型構造の p チャネル型 M I S F E T は、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネル領域およびドレインと、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 1 転送用 M I S F E T は、前記ソースおよびドレインの一方が前記一对のビット線の一方に電氣的に接続され、前記ソースおよびドレインの他方が、前

- 10 記第 1 駆動用 n チャネル型 M I S F E T のドレインおよび前記第 2 駆動用 n チャネル型 M I S F E T のゲート電極に電氣的に接続され、

前記第 2 転送用 M I S F E T は、前記ソースおよびドレインの一方が前記一对のビット線の他方に電氣的に接続され、前記ソースおよびドレインの他方が、前記第 2 駆動用 n チャネル型 M I S F E T のドレインおよび前記第 1 駆動用 n チャ

- 15 ネル型 M I S F E T のゲート電極に電氣的に接続され、

前記第 1 および第 2 転送用 M I S F E T のゲート電極は、前記ワード線に電氣的に接続されることを特徴とする半導体記憶装置。

26. 前記第 1 および第 2 駆動用 n チャネル型 M I S F E T は、半導体基板上に形成され、

- 20 前記第 1 および第 2 転送用 M I S F E T は、前記第 1 および第 2 駆動用 n チャネル型 M I S F E T の上部に形成されることを特徴とする請求項 25 記載の半導体記憶装置。

27. ワード線と一对のビット線とメモリセルとを有する半導体記憶装置であって、

- 25 前記メモリセルは、第 1 および第 2 転送用 M I S F E T と、第 1 および第 2 駆動用 M I S F E T とを有し、

前記第 1 および第 2 転送用 M I S F E T は、前記第 1 および第 2 駆動用 M I S F E T の上部に形成され、

前記第 1 および第 2 転送用 M I S F E T のそれぞれは、半導体基板の主面に垂

直な方向に延在する積層構造体に形成されたソース、チャネルおよびドレイン領域と、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

- 5 前記第1および第2転送用MISFETのゲート電極は、前記ワード線に電氣的に接続され、

前記第1転送用MISFETは、ソースおよびドレイン領域の内的一方が前記一対のビット線の内的一方に電氣的に接続され、前記ソースおよびドレイン領域の内の他方が前記第1駆動用MISFETのドレイン領域および前記第2駆動用MISFETのゲート電極に電氣的に接続され、

- 10 前記第2転送用MISFETは、ソースおよびドレイン領域の内的一方が前記一対のビット線の内の方他方に電氣的に接続され、前記ソースおよびドレイン領域の内の他方が前記第2駆動用MISFETのドレイン領域および前記第1駆動用MISFETのゲート電極に電氣的に接続されることを特徴とする半導体記憶装置。

- 15 28. 前記第1および第2駆動用MISFETは、前記半導体基板上に形成されることを特徴とする請求項27記載の半導体記憶装置。

29. 第1および第2縦型MISFETと第1および第2駆動用MISFETとを有するメモリセルを具備し、

- 20 前記第1および第2縦型MISFETは、前記第1および第2駆動用MISFETの上部に形成され、

前記第1および第2縦型MISFETのそれぞれは、半導体基板の主面に垂直な方向に延在する積層構造体に形成されたソース、チャネルおよびドレイン領域と、前記積層構造体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

- 25 前記第1および第2縦型MISFETのゲート電極は、ワード線に電氣的に接続され、

前記第1縦型MISFETのソースおよびドレイン領域の内的一方が前記第1駆動用MISFETのドレイン領域に電氣的に接続され、

前記第2縦型MISFETのソースおよびドレイン領域の内的一方が前記第2

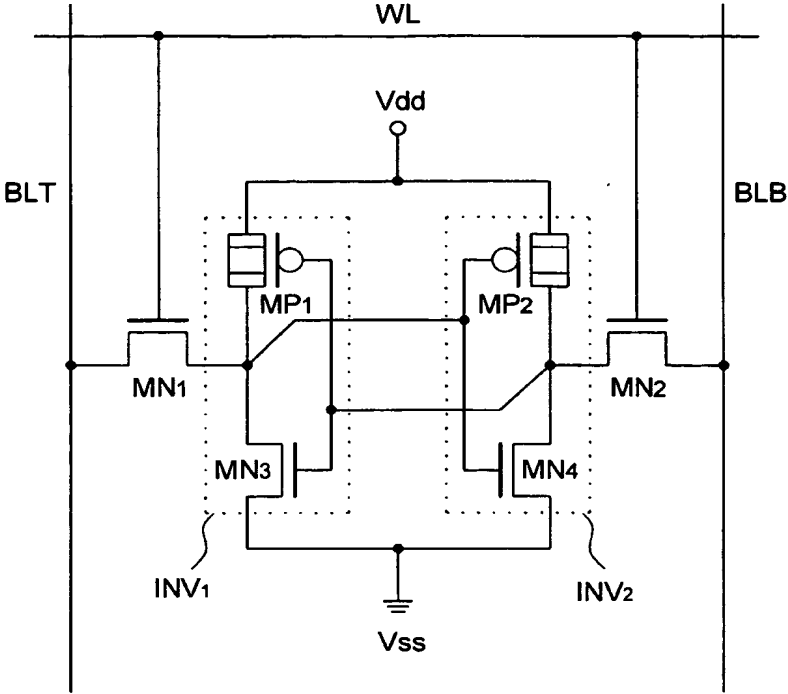
駆動用MISFETのドレイン領域に電氣的に接続される半導体記憶装置の製造方法であって、

- (a) 半導体基板に第1および第2駆動用MISFETを形成する工程と、
 - (b) 前記第1および第2駆動用MISFETを覆うように第1絶縁膜を形成する工程と、
 - (c) 前記第1絶縁膜上に、前記第1縦型MISFETのソース、チャネルおよびドレイン領域が構成され、前記半導体基板の主面に垂直な方向に延在する第1積層構造体と、前記第2縦型MISFETのソース、チャネルおよびドレイン領域が構成され、前記半導体基板の主面に垂直な方向に延在する第2積層構造体を形成する工程と、
 - (d) 前記第1積層構造体および第2積層構造体を覆うように第2絶縁膜を形成する工程と、
 - (e) 前記第2絶縁膜を研磨してその表面を平坦化する工程と、
 - (f) 平坦化された前記第2絶縁膜に、少なくとも前記第1および第2積層構造体のチャネル領域の深さまで溝を形成し、前記溝に前記第1および第2縦型MISFETのゲート電極に電氣的に接続されるワード線を形成する工程と、
- を有することを特徴とする半導体記憶装置の製造方法。

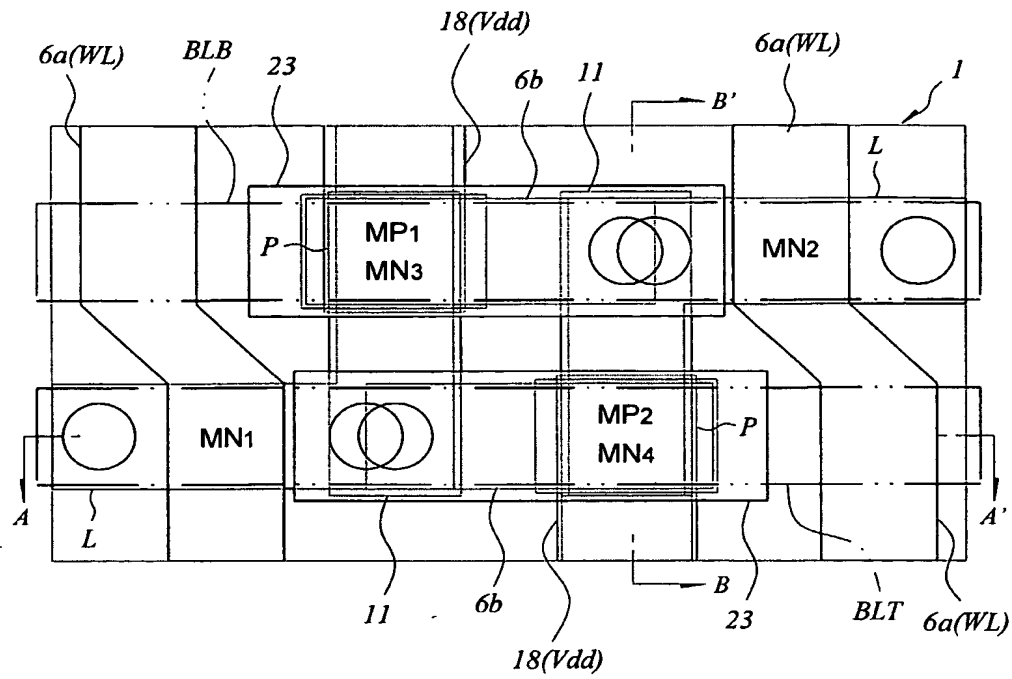
30. 前記第1縦型MISFETは、ソースおよびドレイン領域の内的一方が前記一対のビット線の内的一方に電氣的に接続され、前記ソースおよびドレイン領域の内の方々が前記第1駆動用MISFETのドレイン領域および前記第2駆動用MISFETのゲート電極に電氣的に接続され、

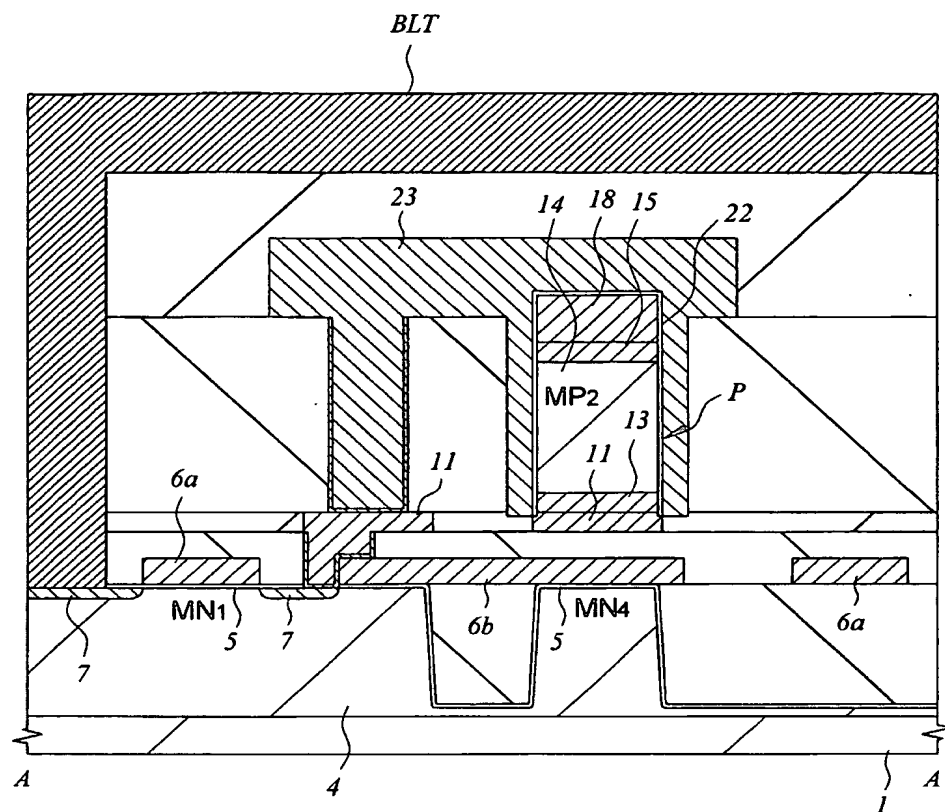
- 前記第2縦型MISFETは、ソースおよびドレイン領域の内的一方が前記一対のビット線の内の方々に電氣的に接続され、前記ソースおよびドレイン領域の内の方々が前記第2駆動用MISFETのドレイン領域および前記第1駆動用MISFETのゲート電極に電氣的に接続されることを特徴とする請求項29記載の半導体記憶装置の製造方法。

 1



2





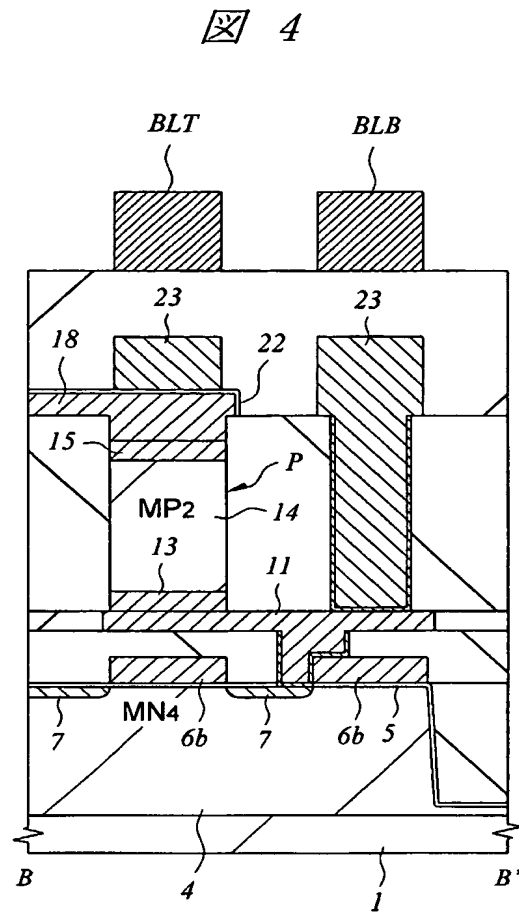


図 5

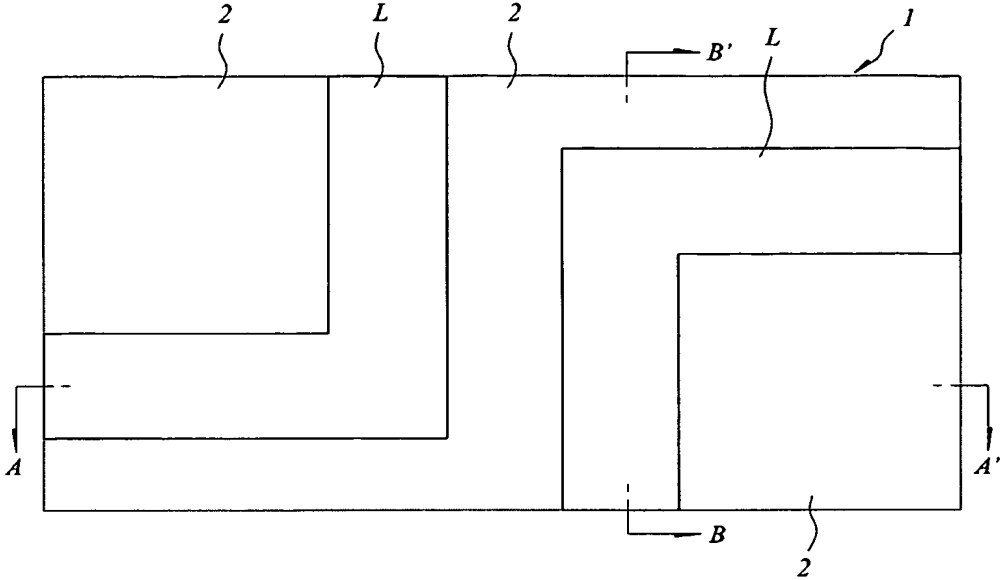


図 6

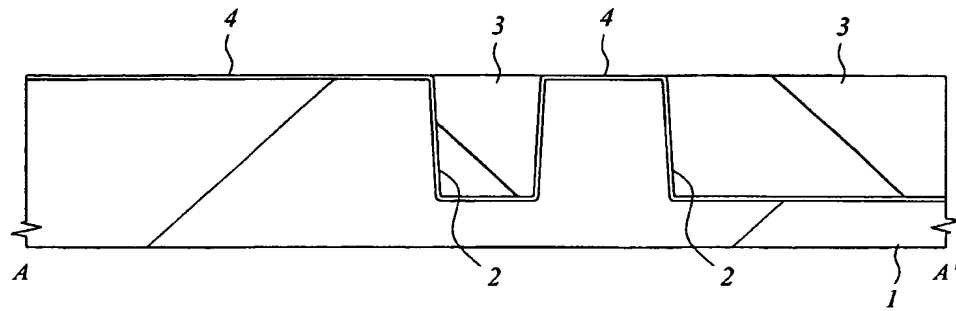


図 7

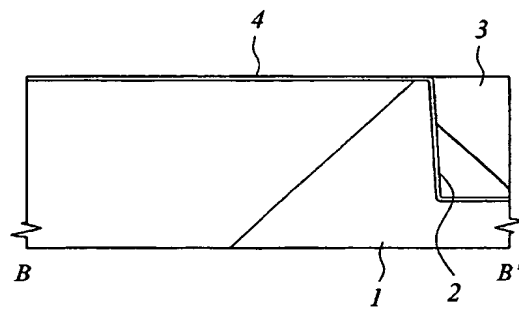


図 8

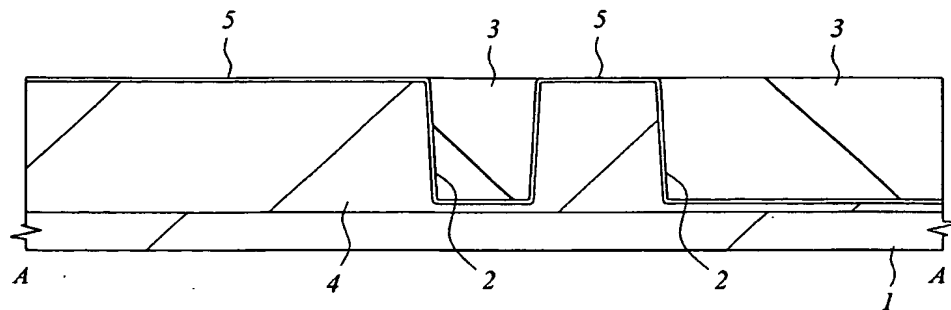
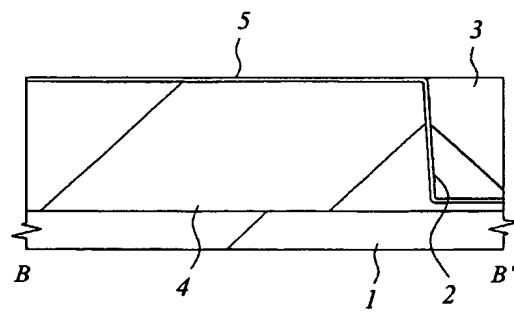


図 9



10

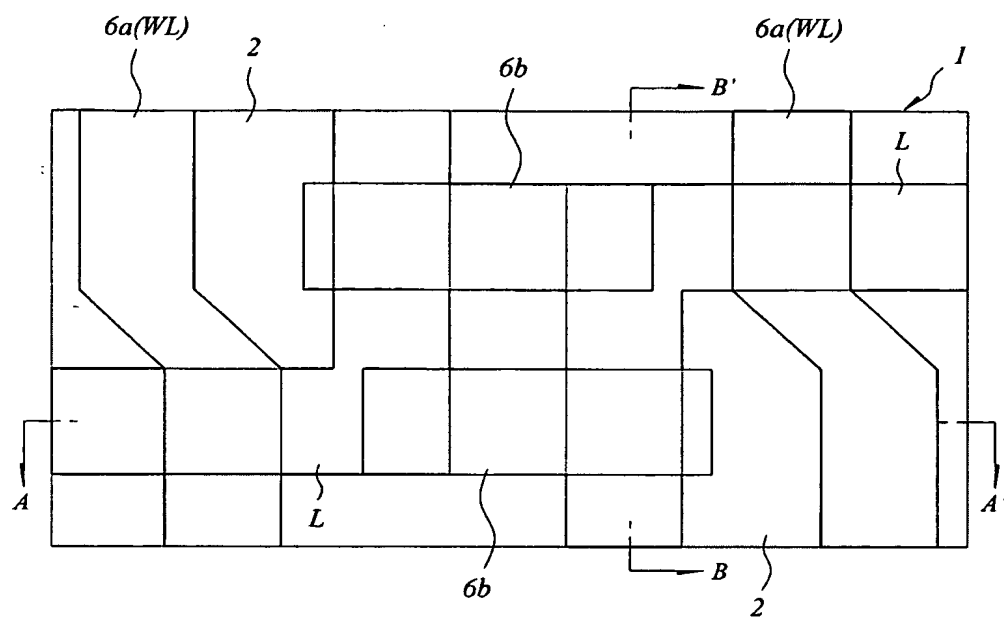


図 11

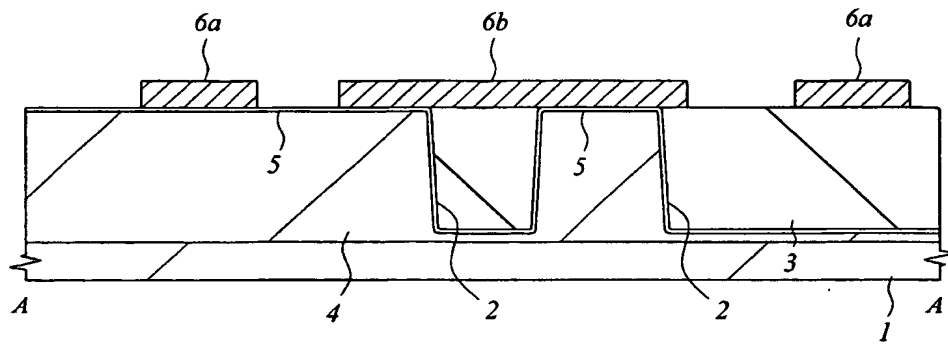


図 12

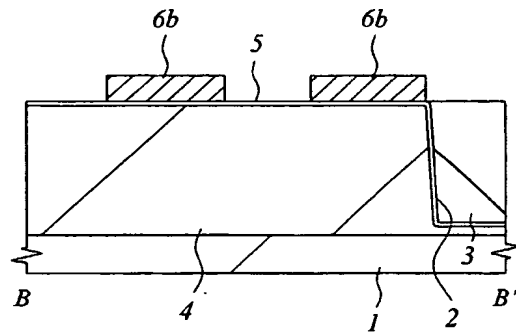


図 13

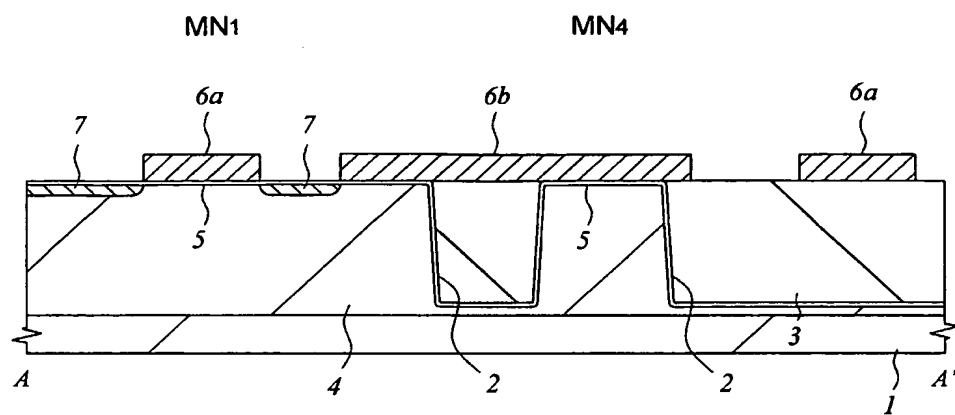
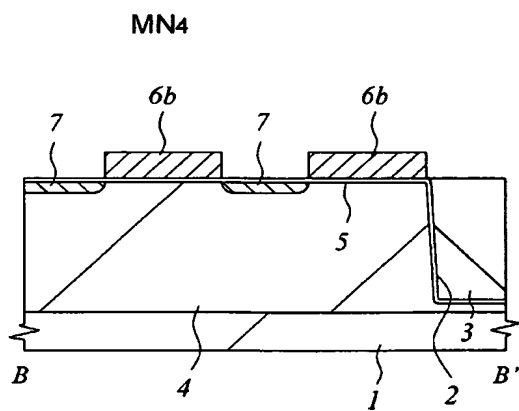


図 14



15

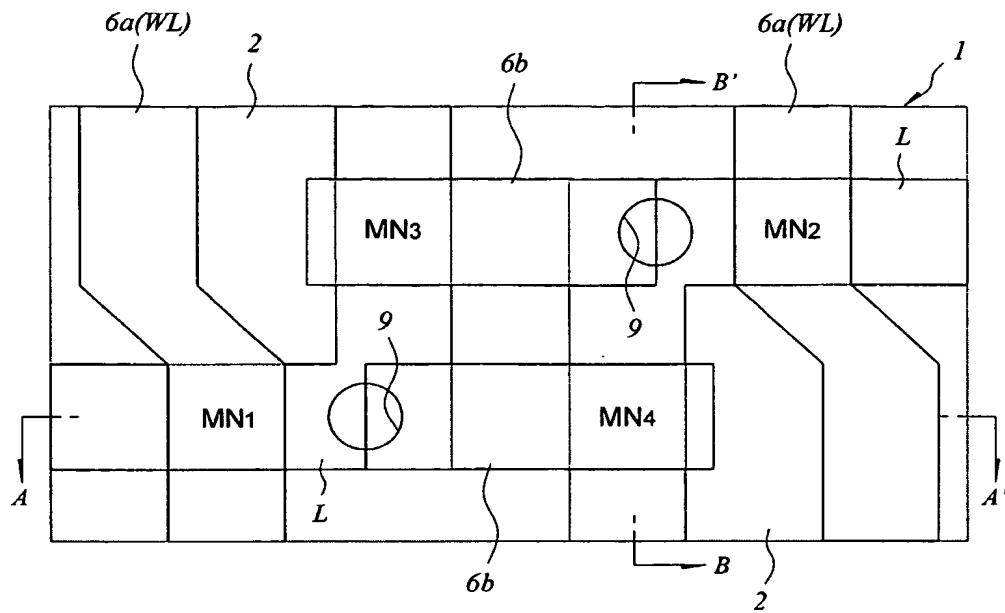


図 16

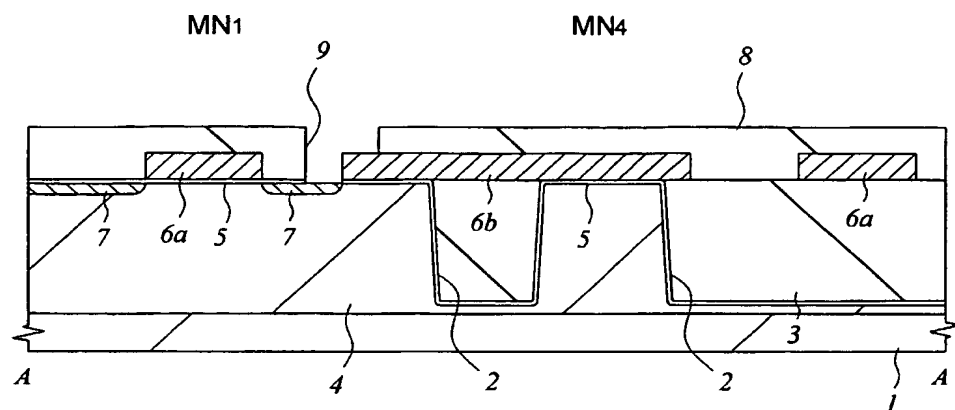


図 17

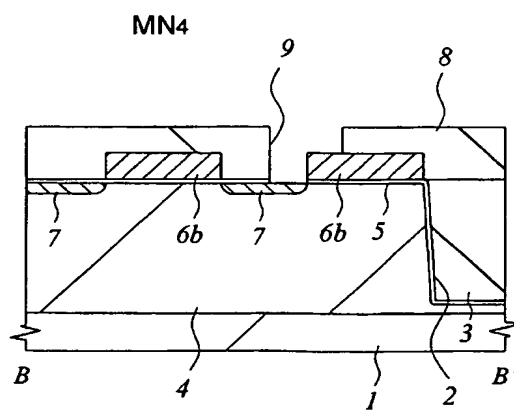


図 18

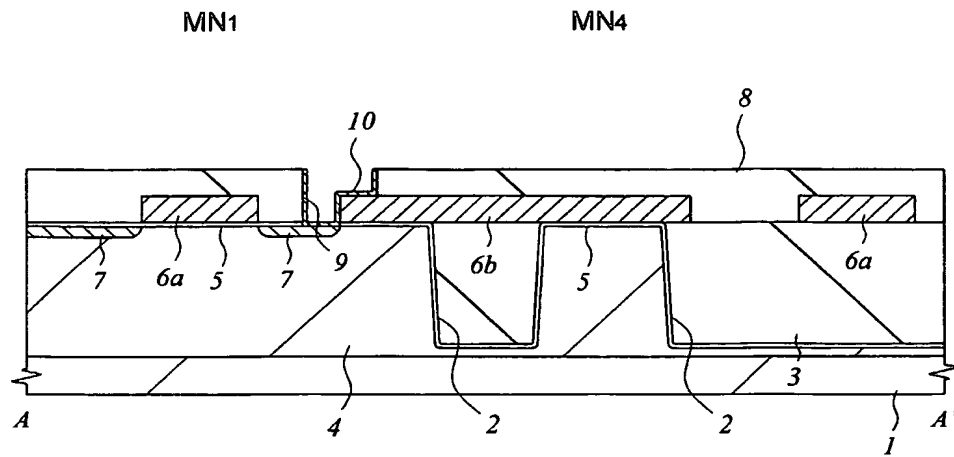
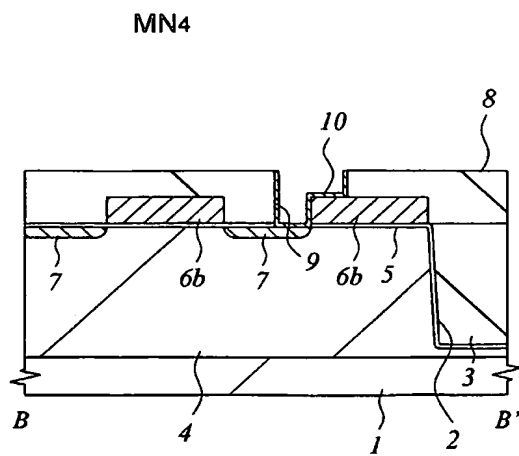


図 19



20

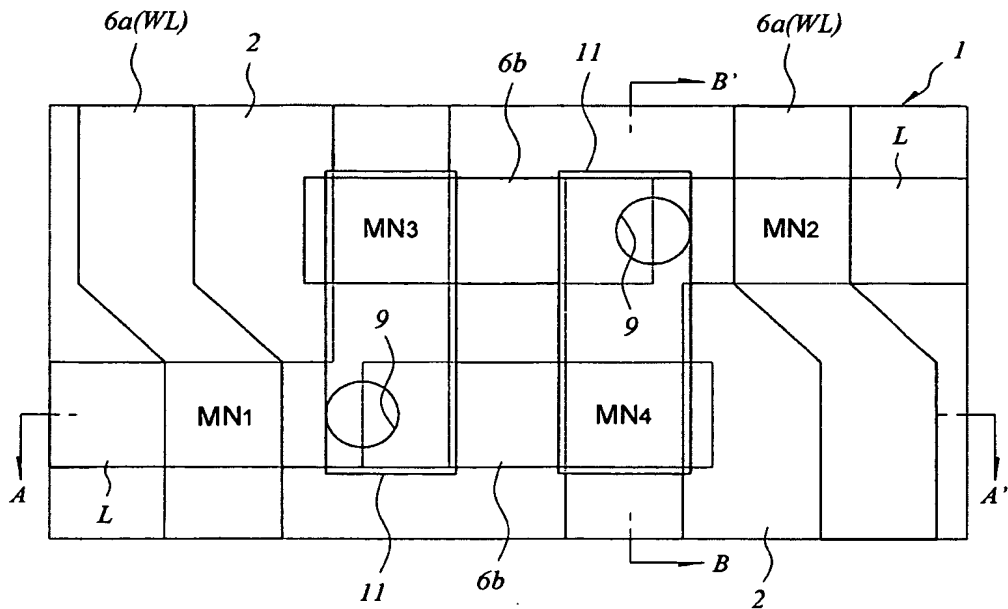


図 21

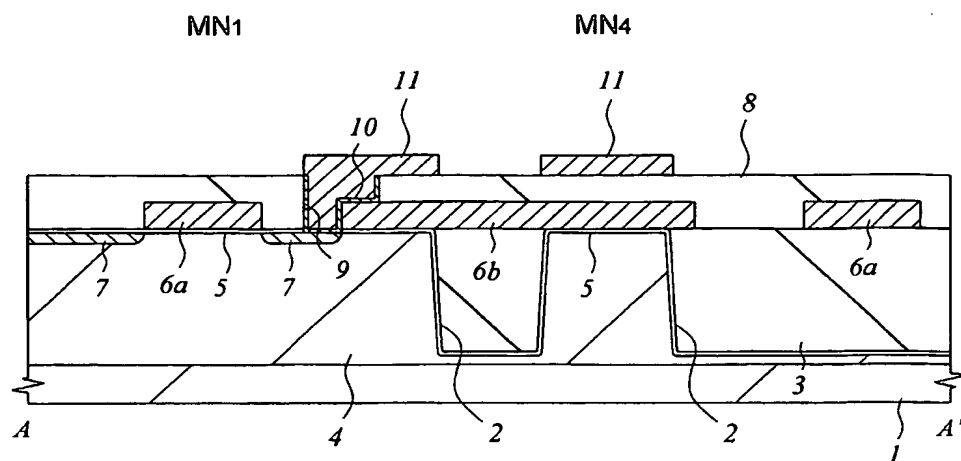


図 22

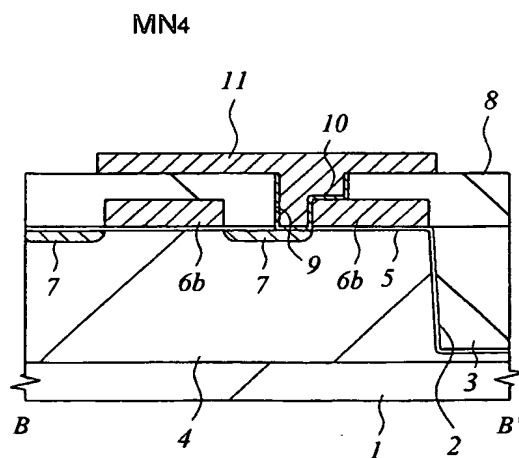


図 23

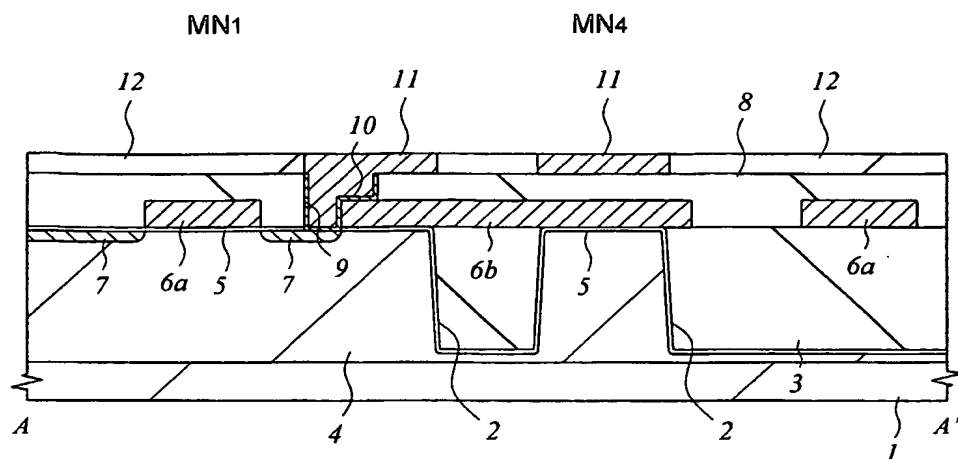
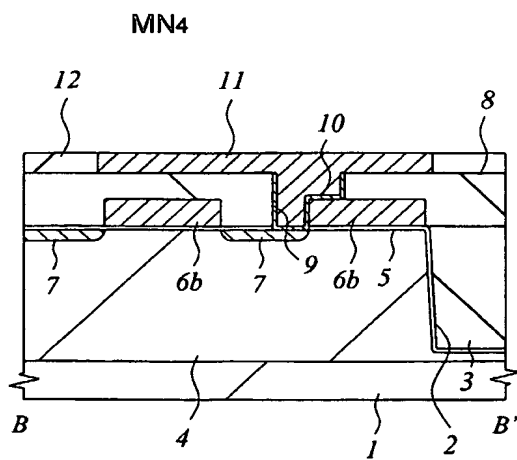
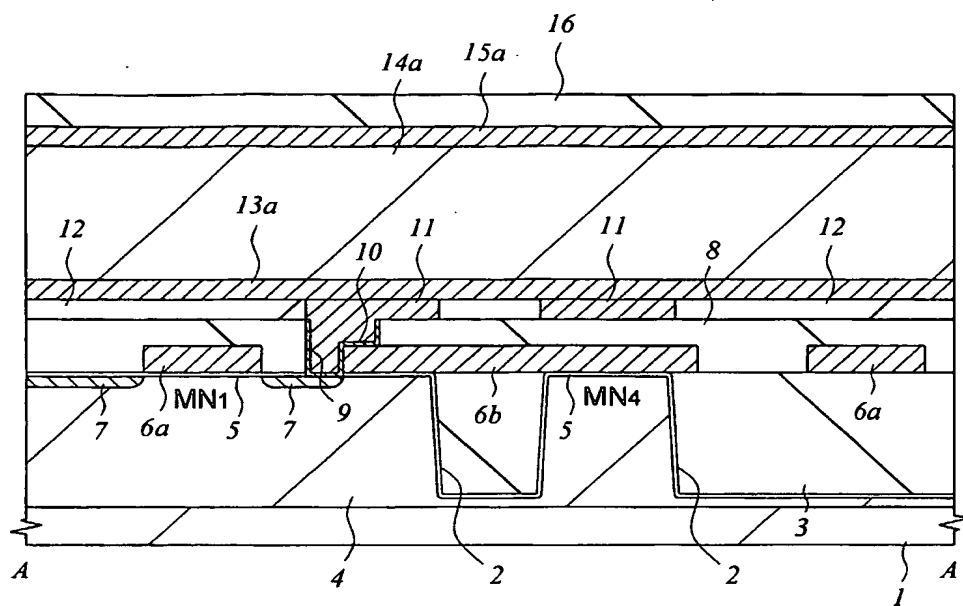


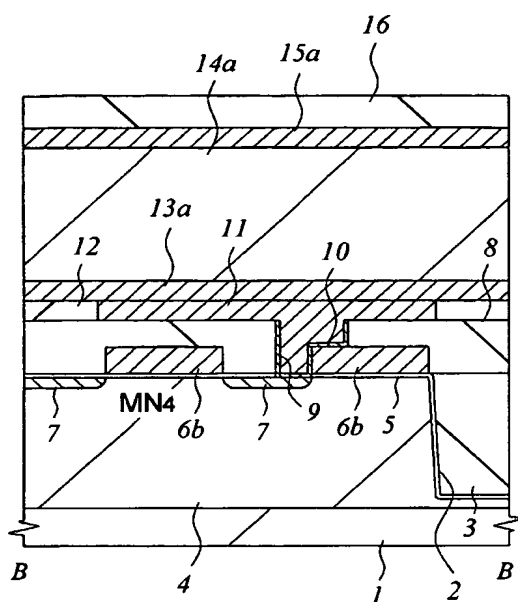
図 24



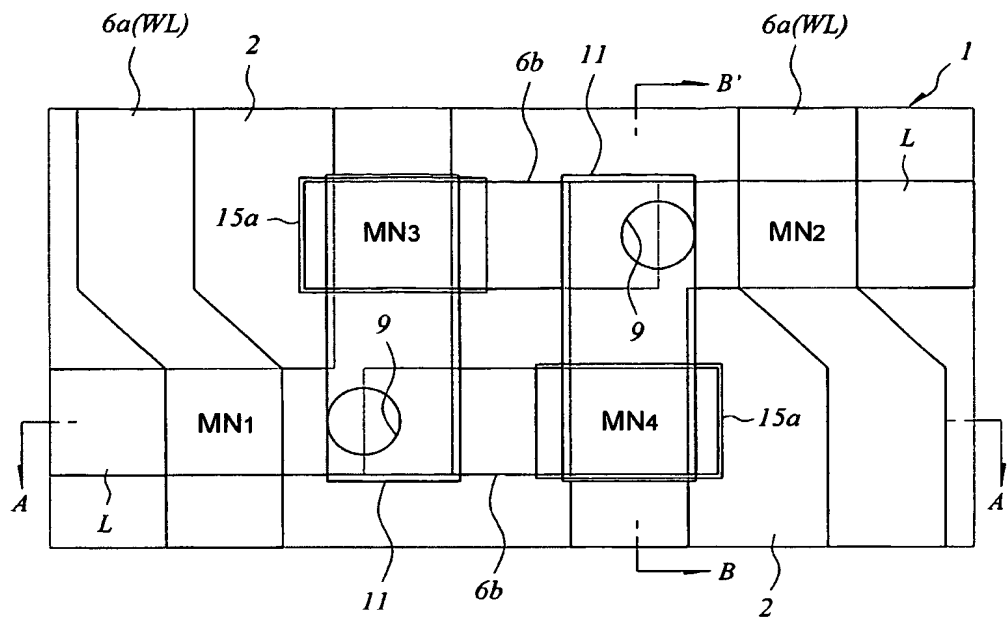
25



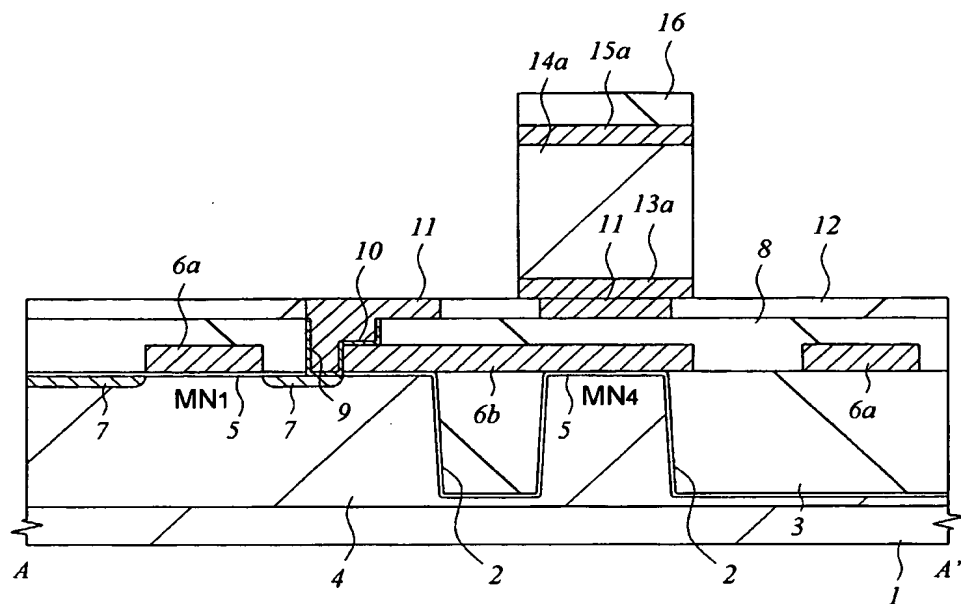
26



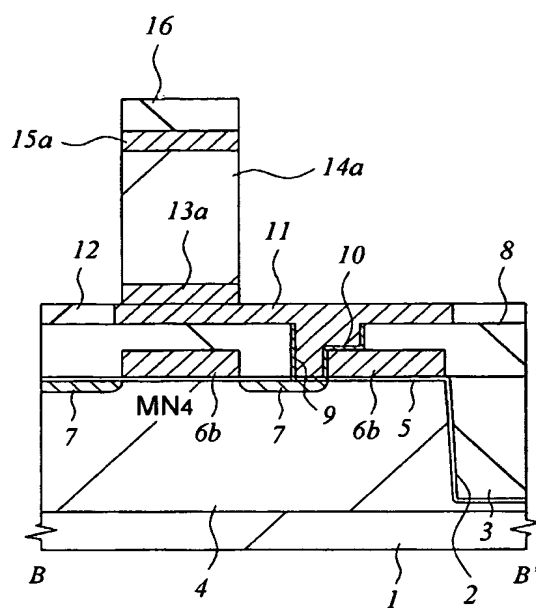
27



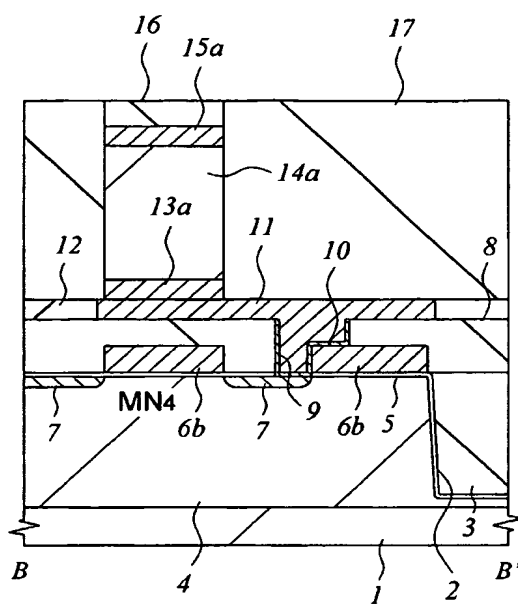
28




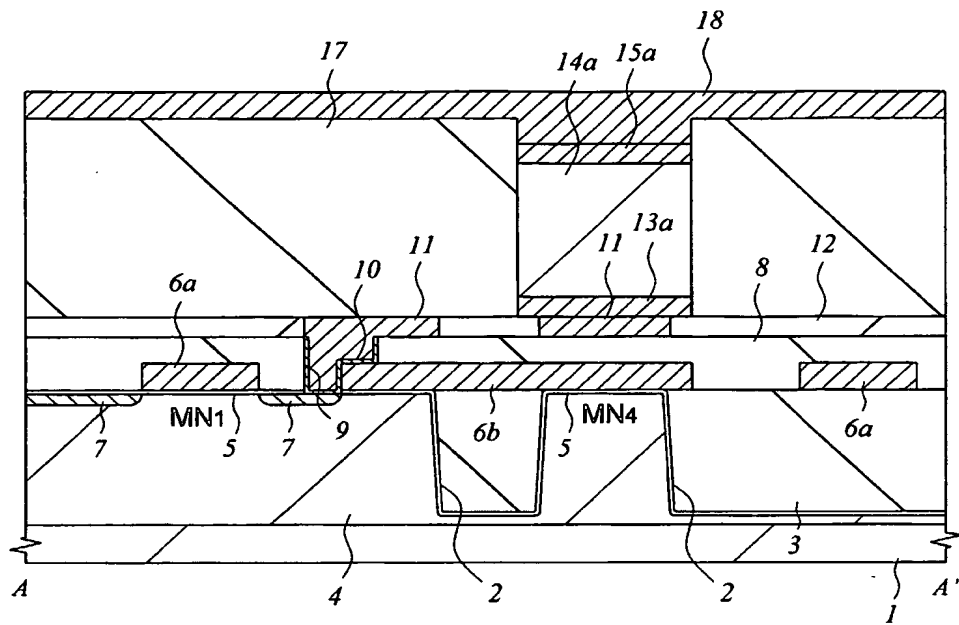
29



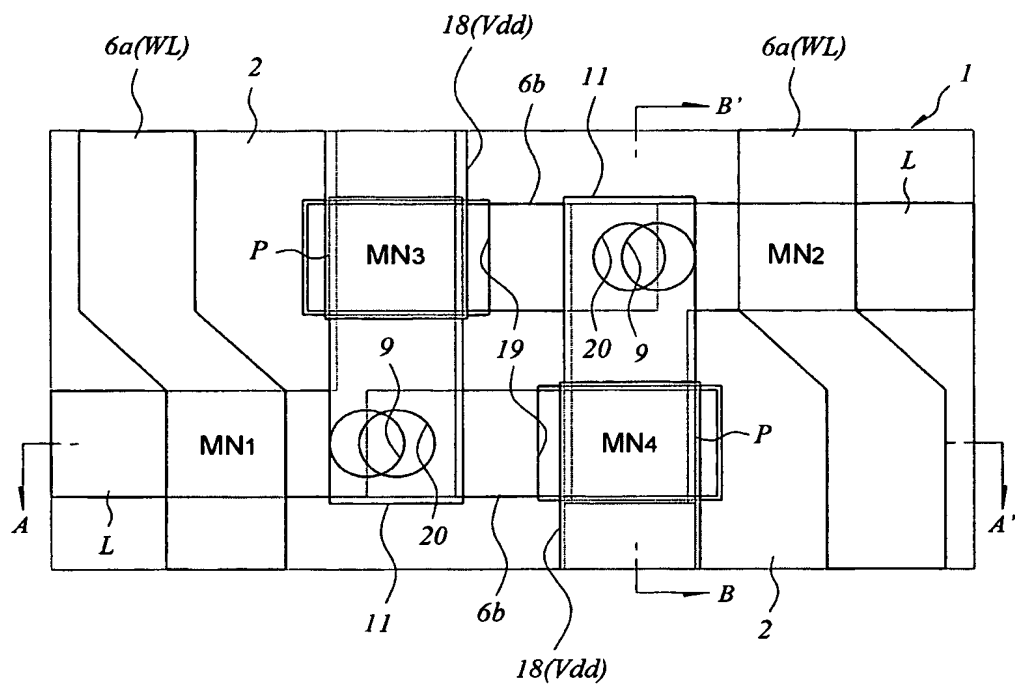
31



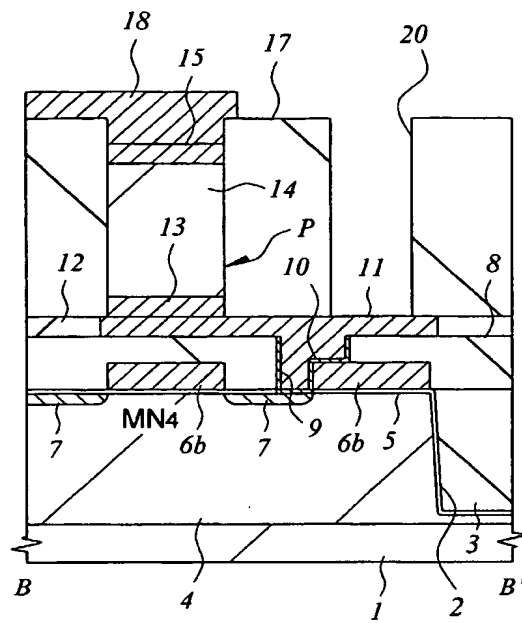
 32



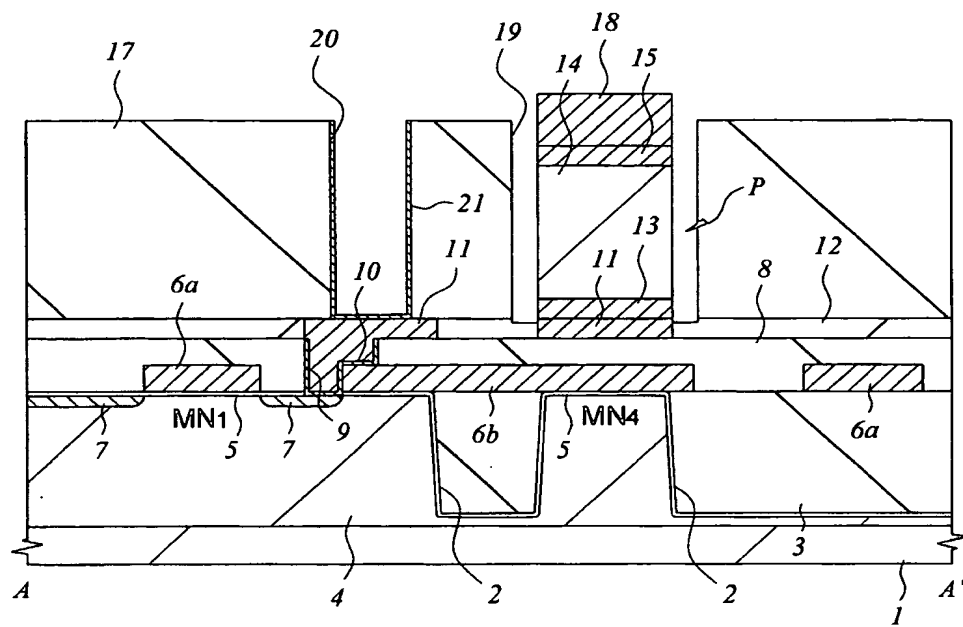
37



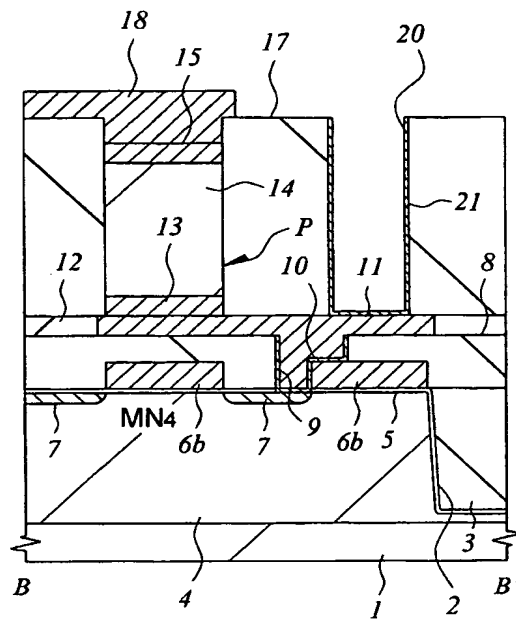
39



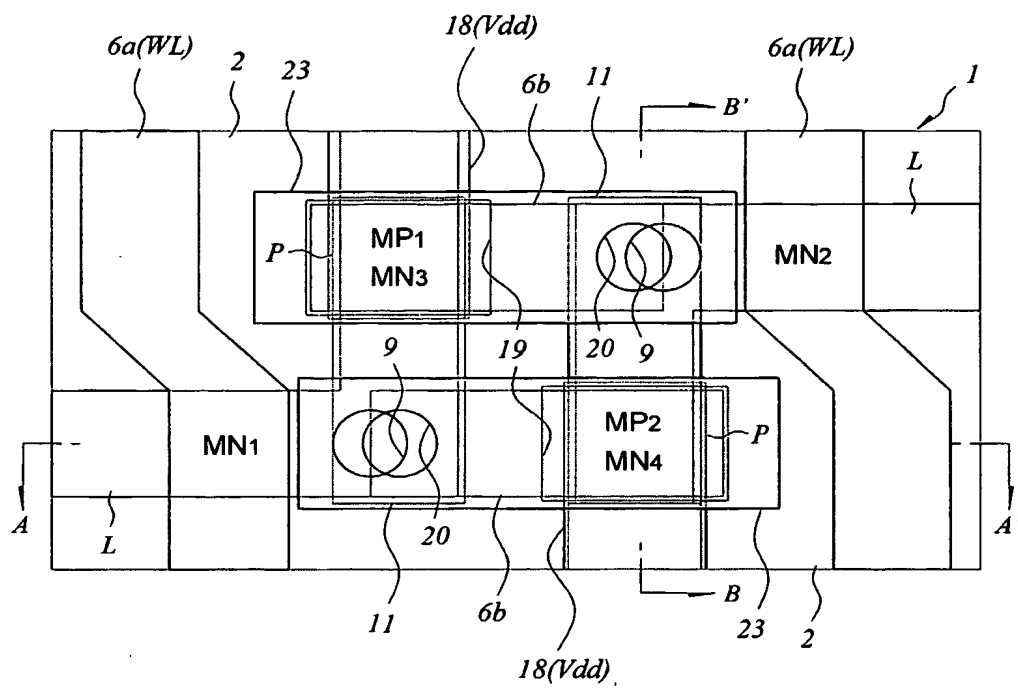
40



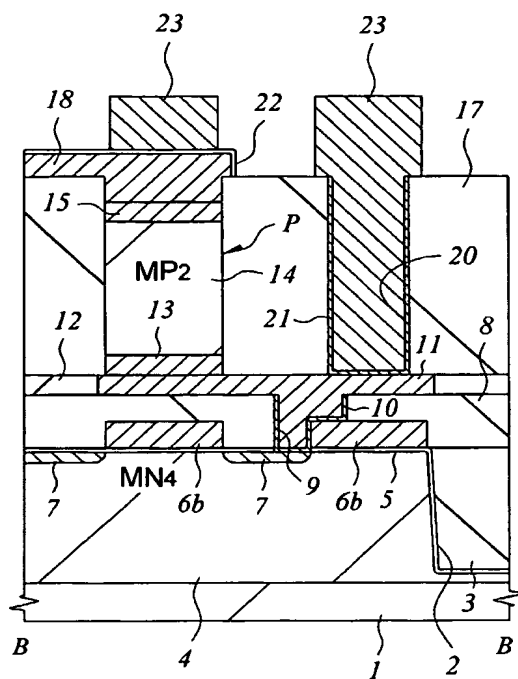
41



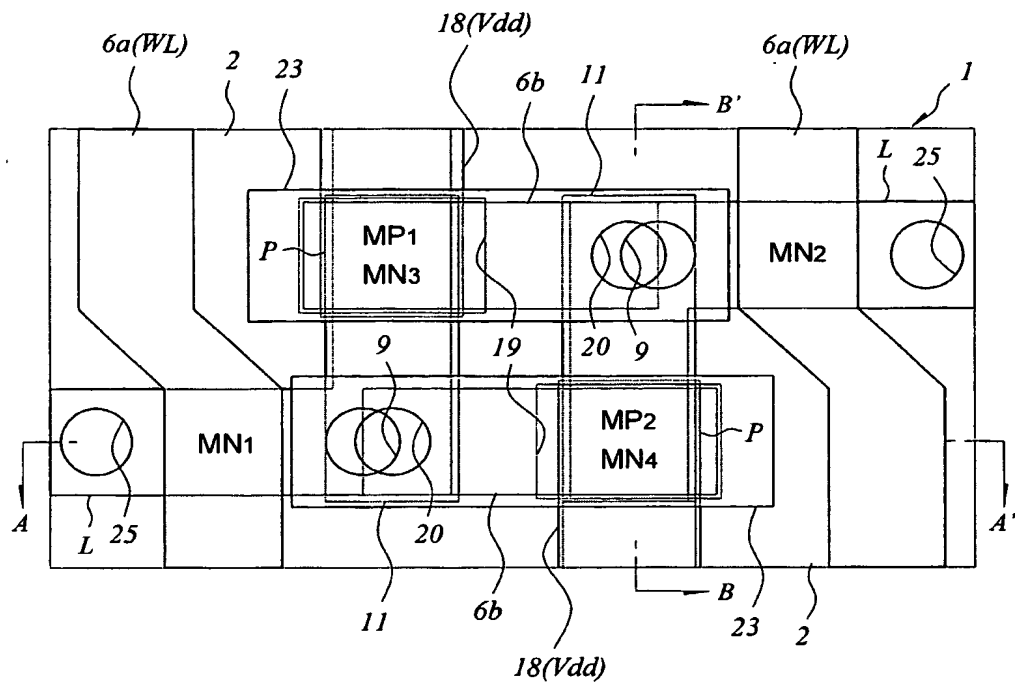
44



46



47



48

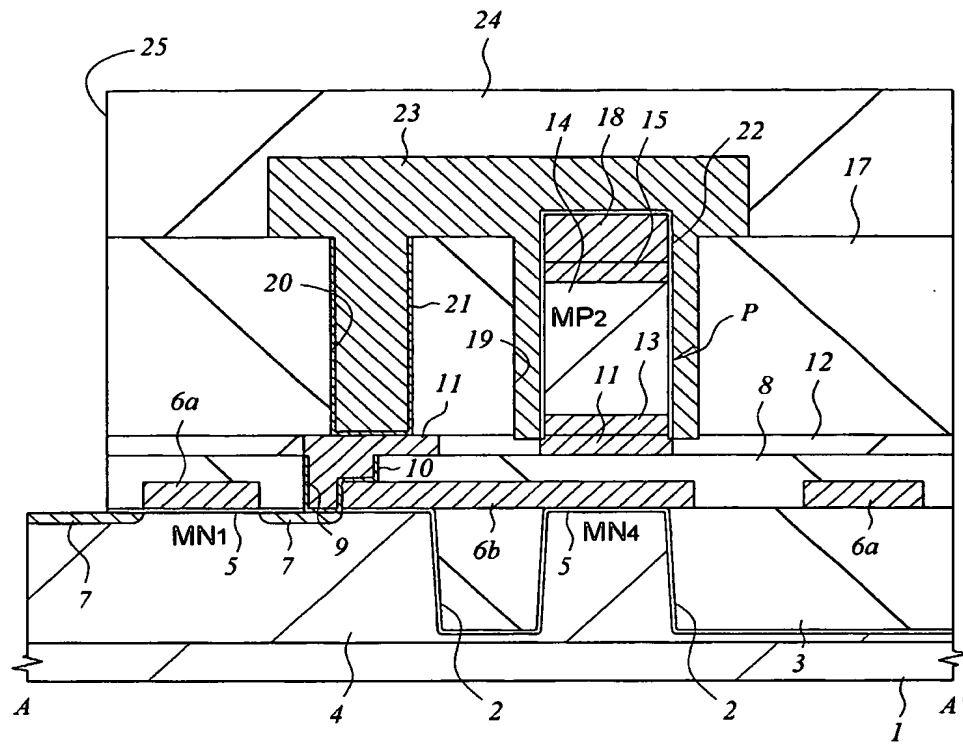
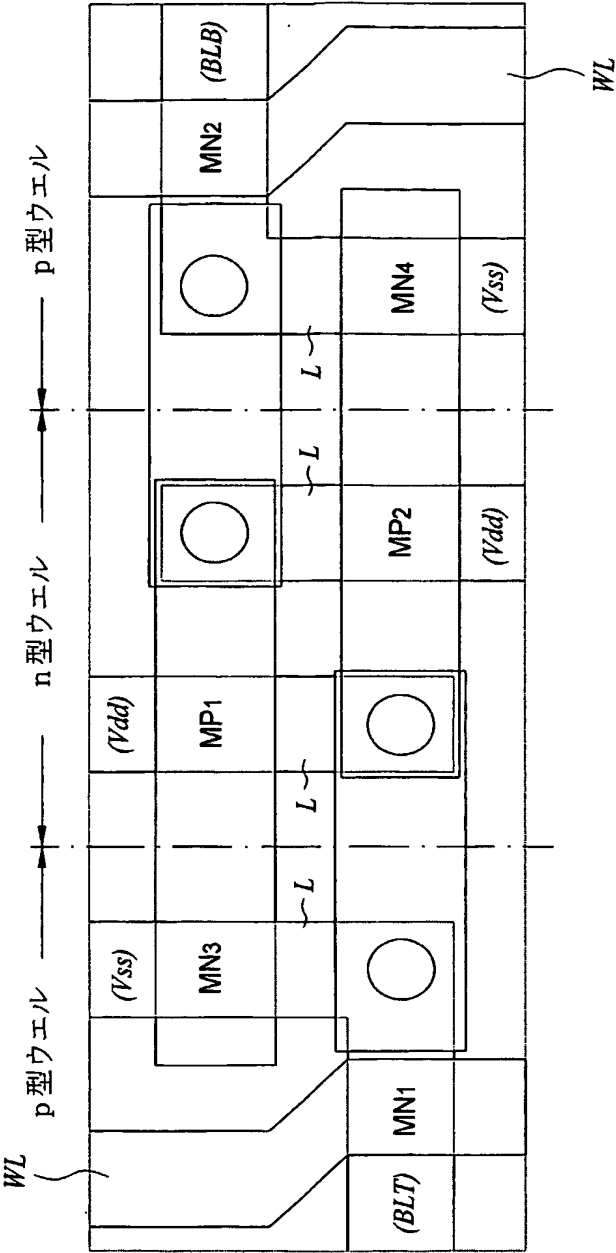


図 50



52

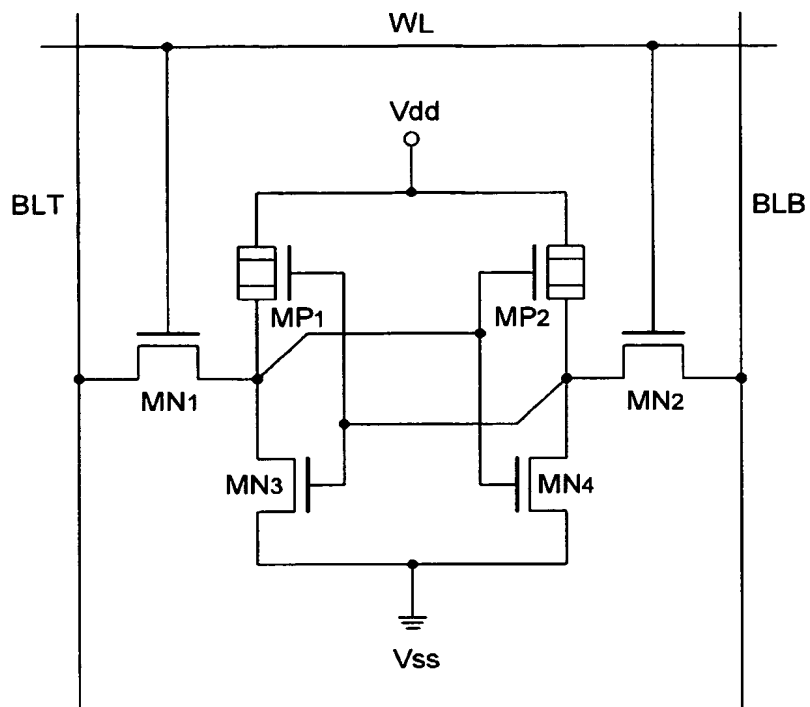
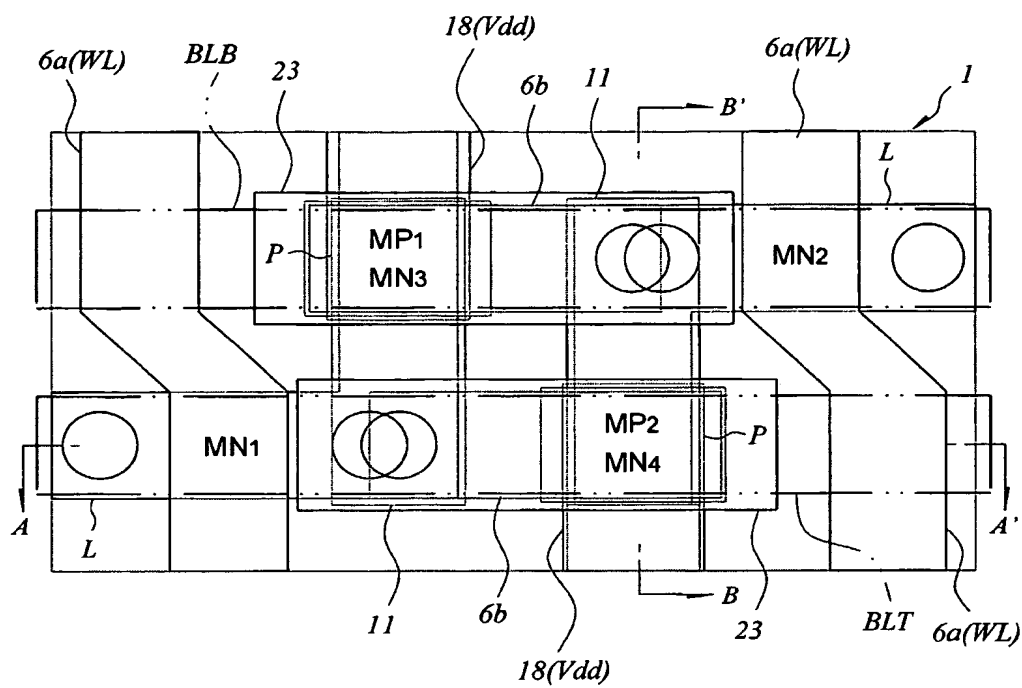
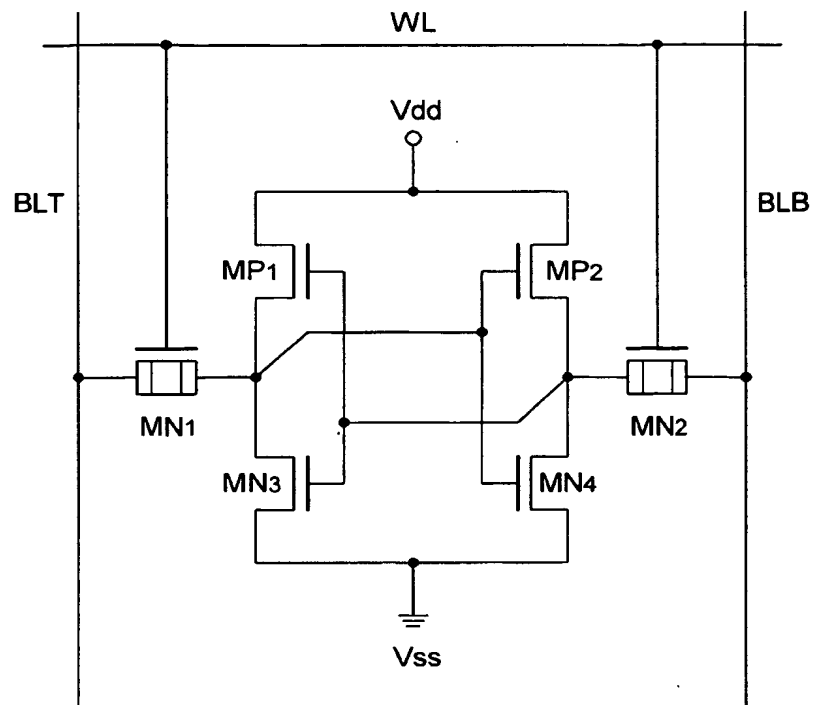


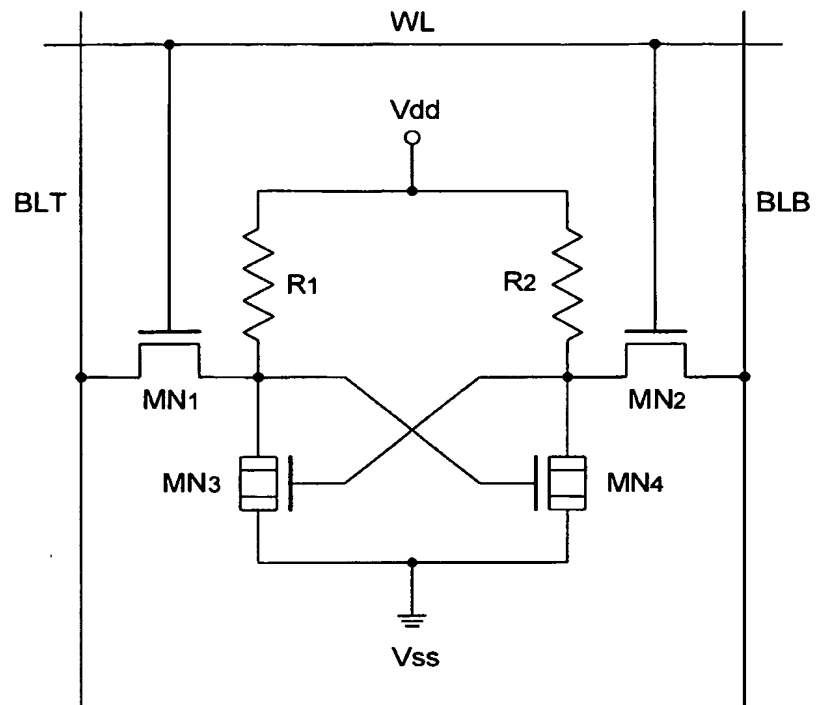
図 53



56



57



58

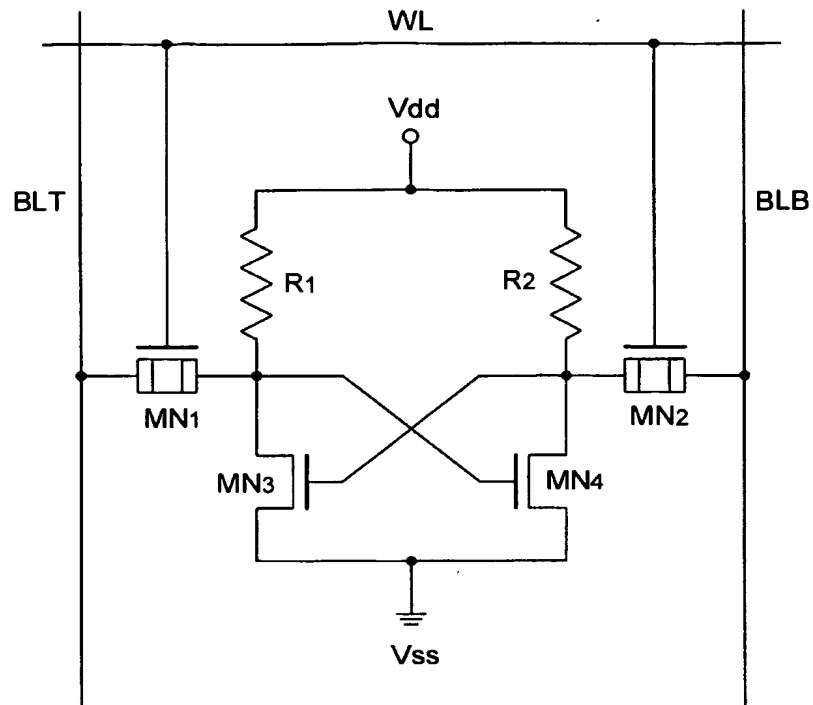
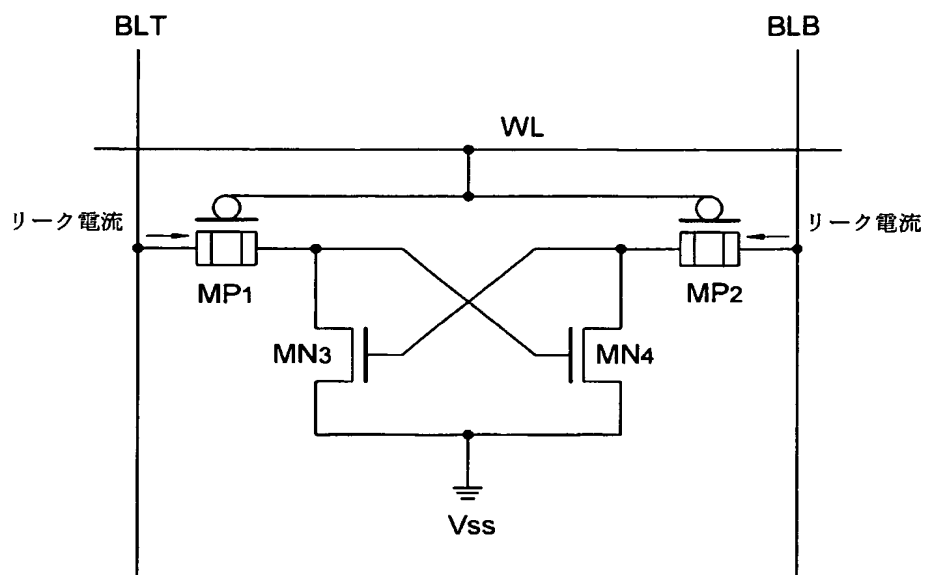
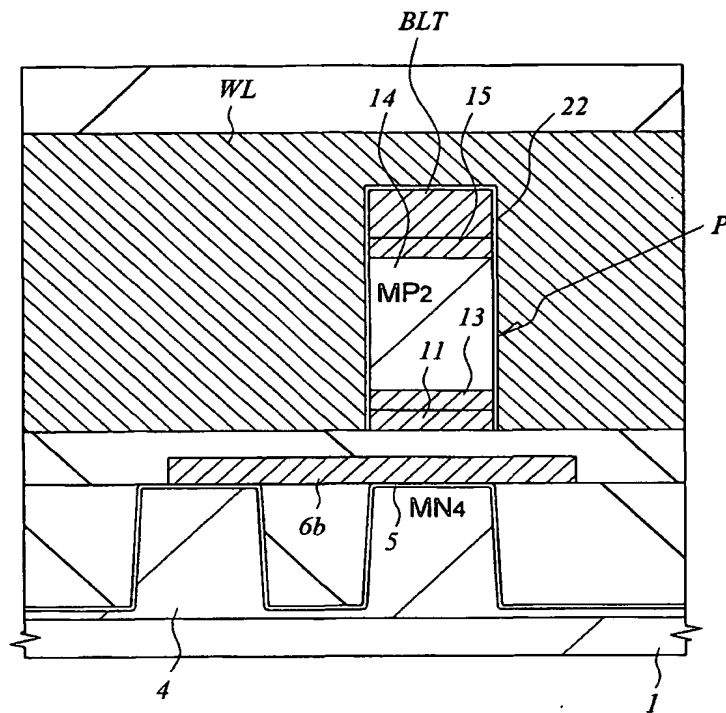


図 59



60




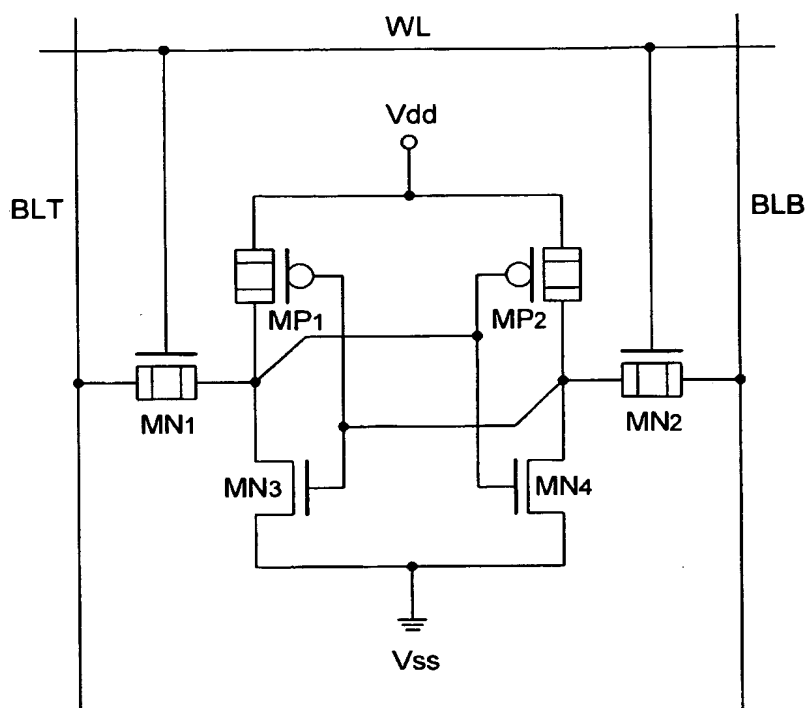
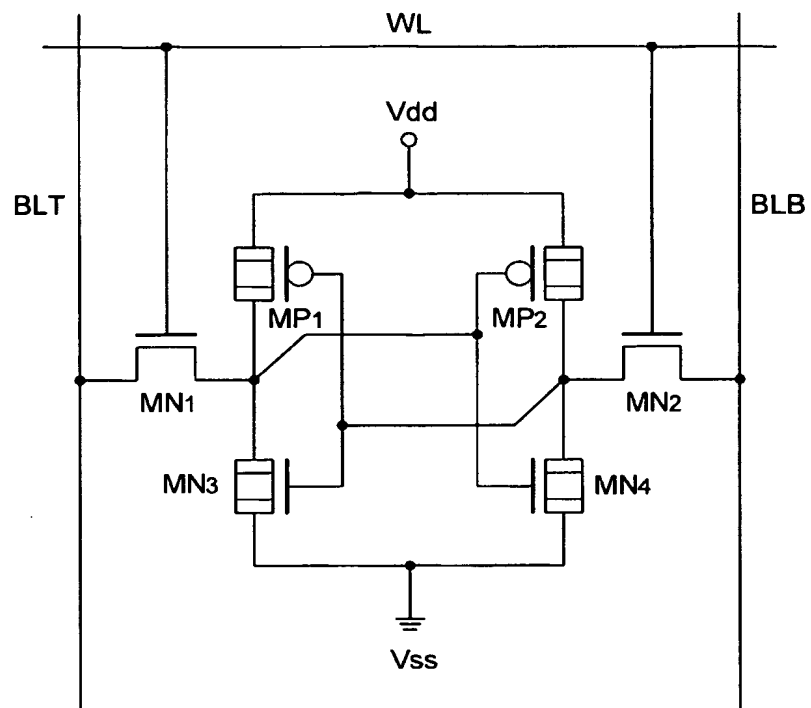
 61

図 62



63

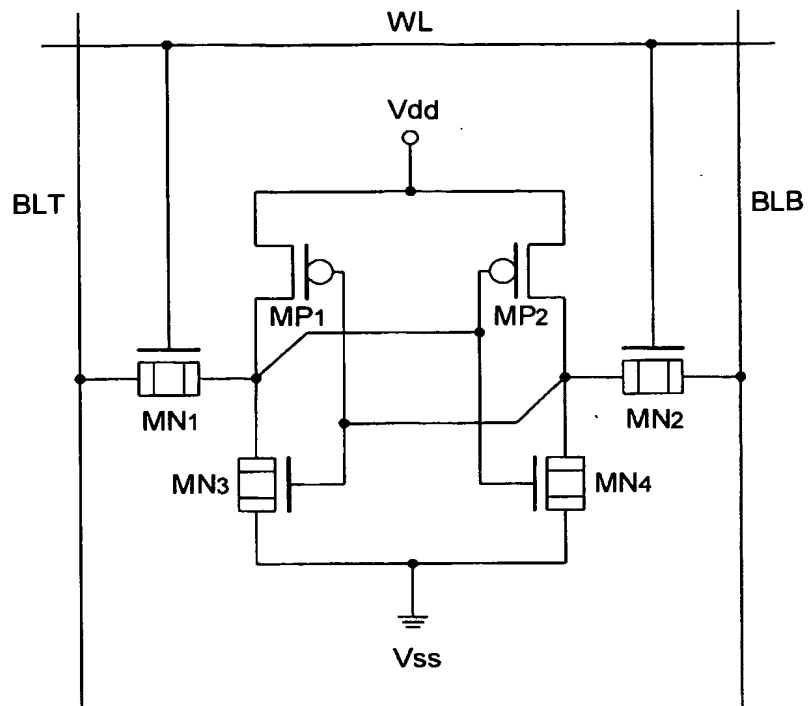
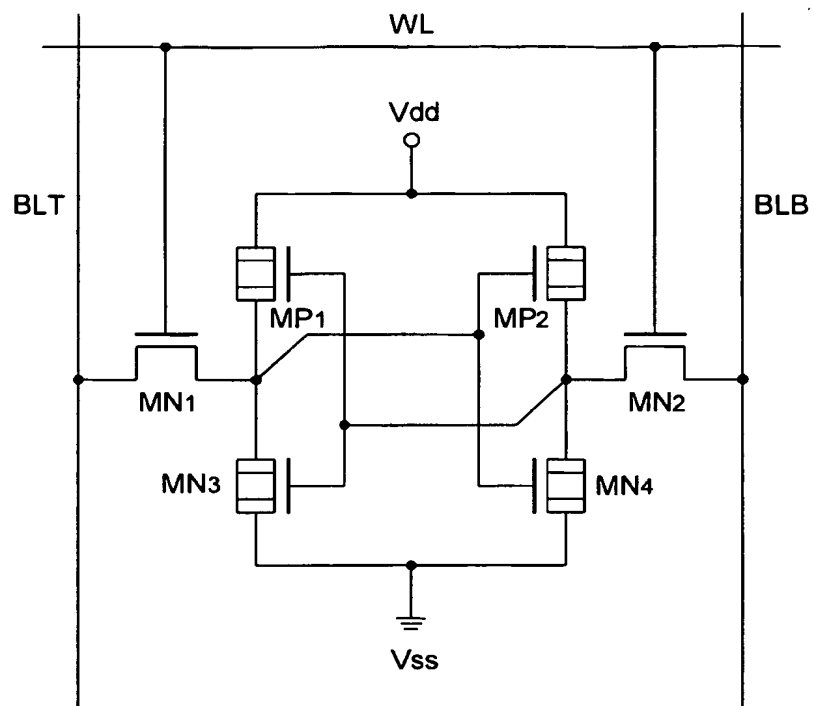
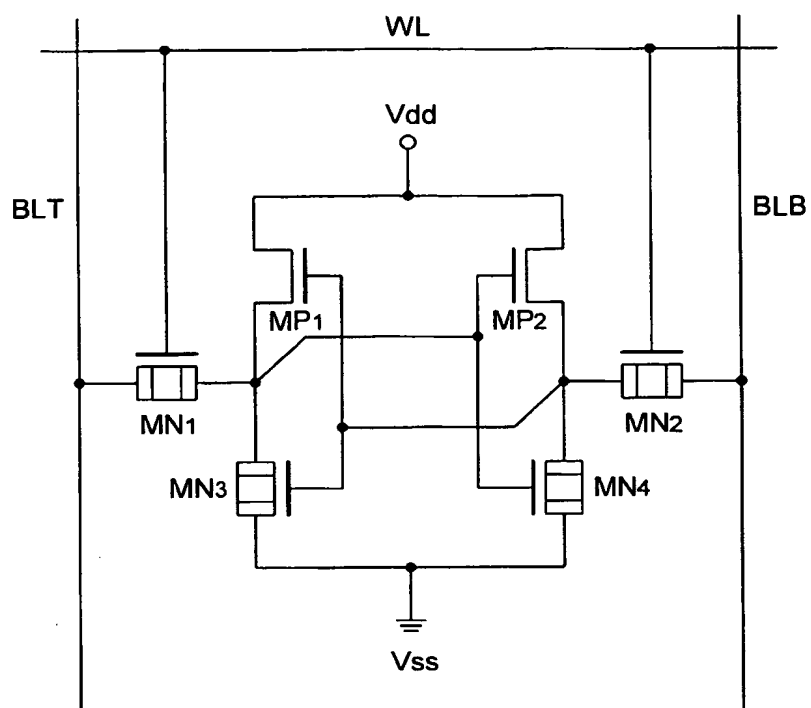


図 65



66



67

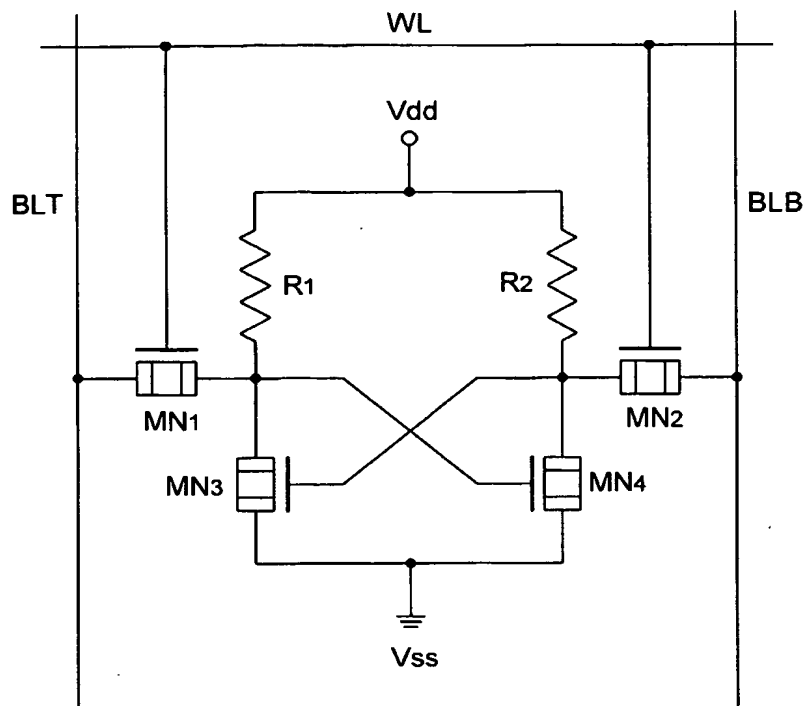


図 68

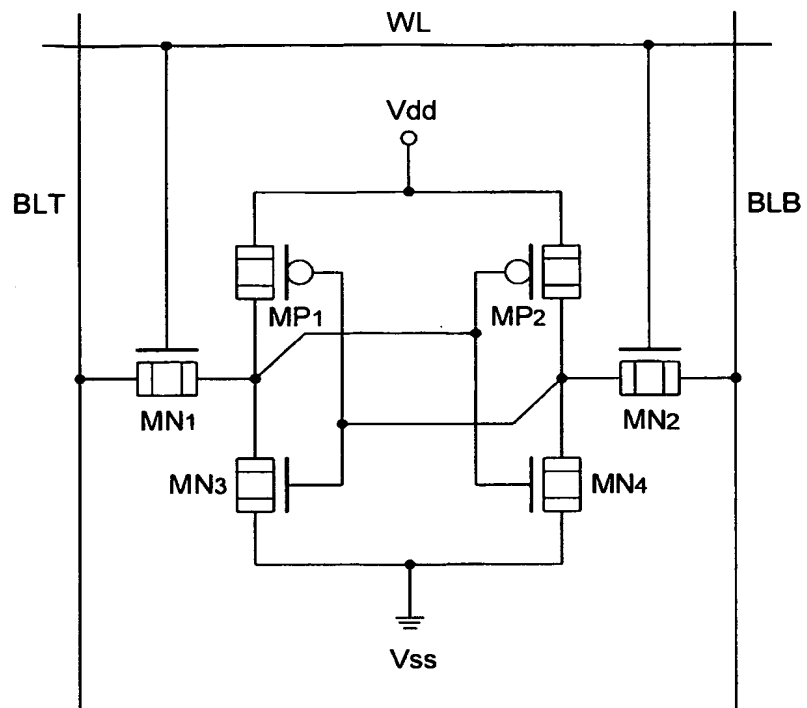
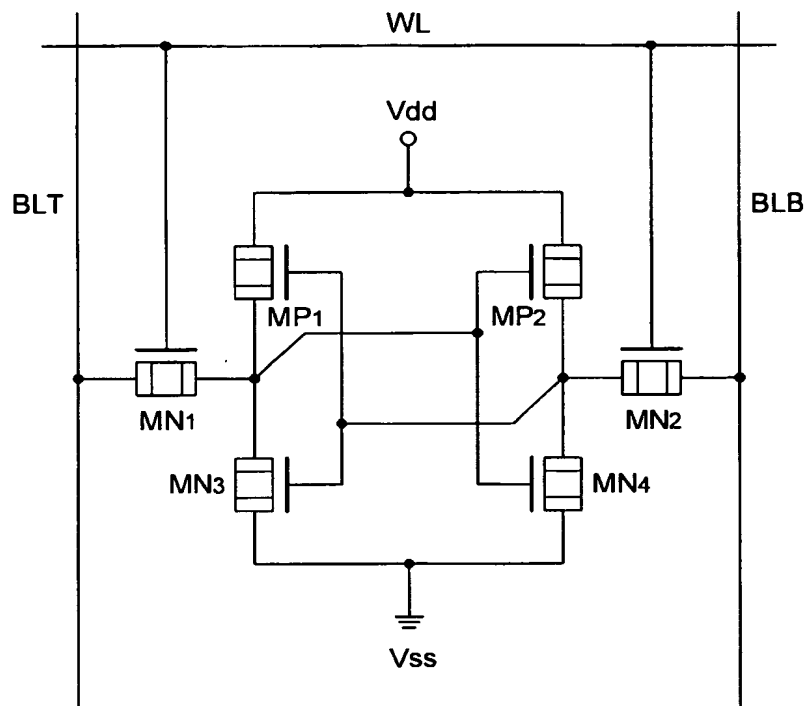
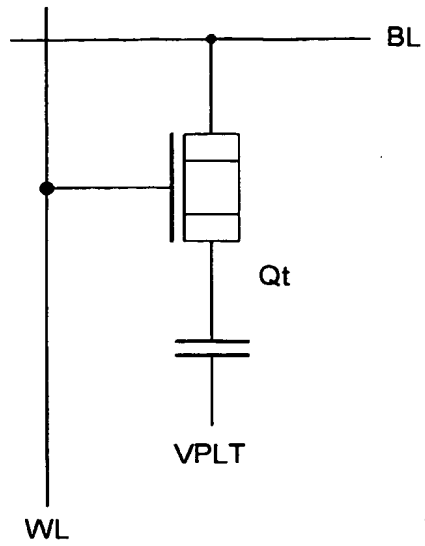


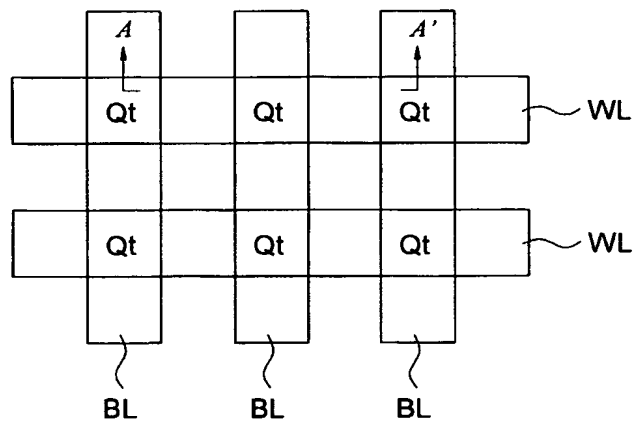
図 69

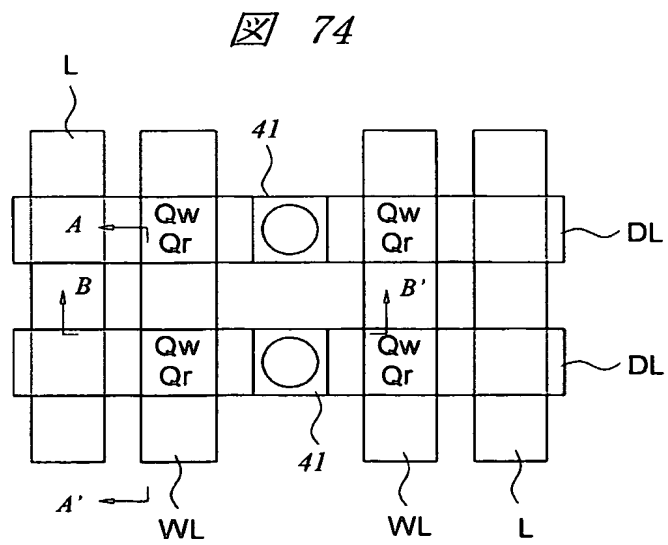
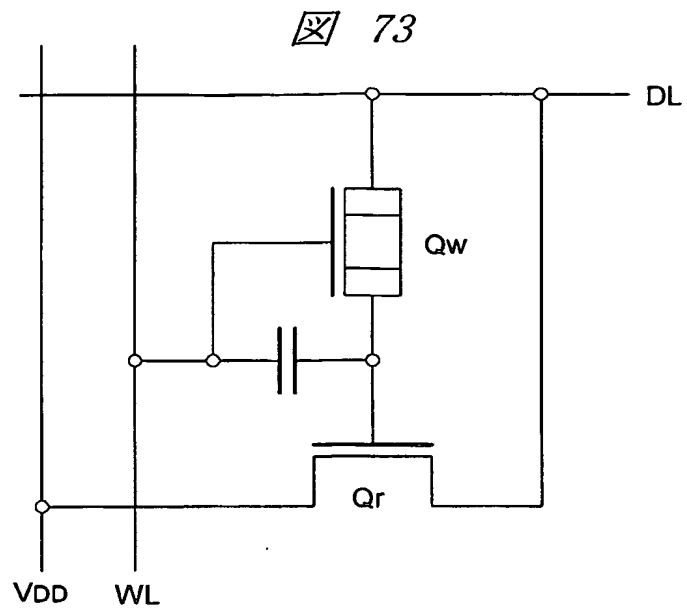


70

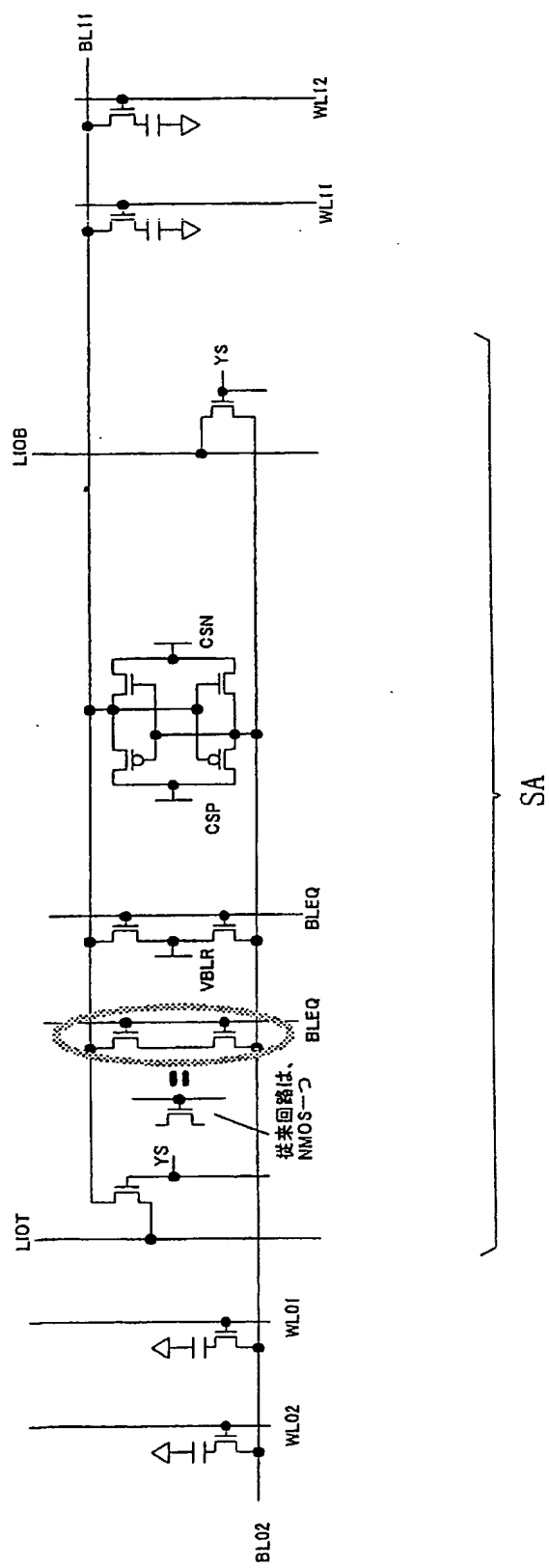


71

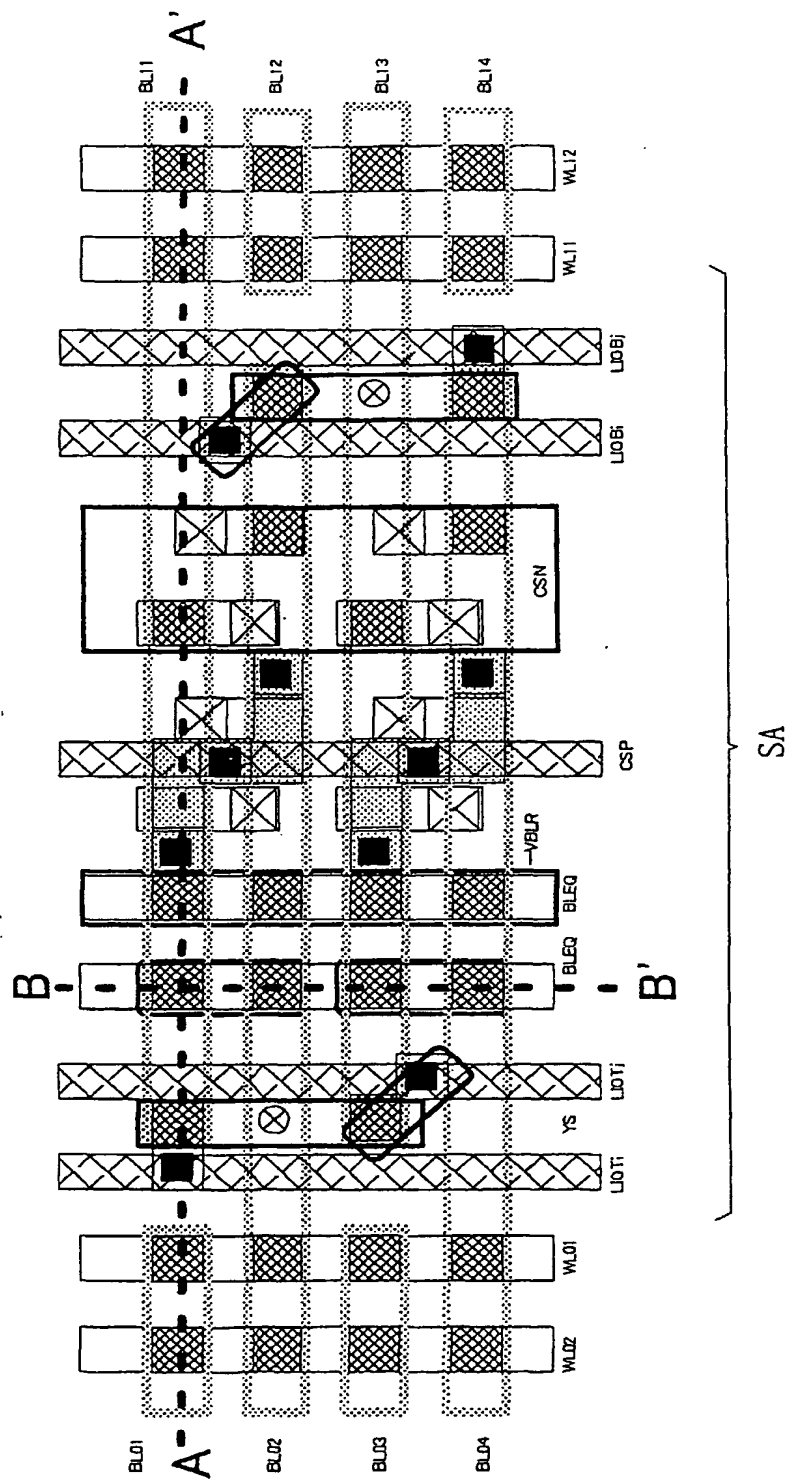




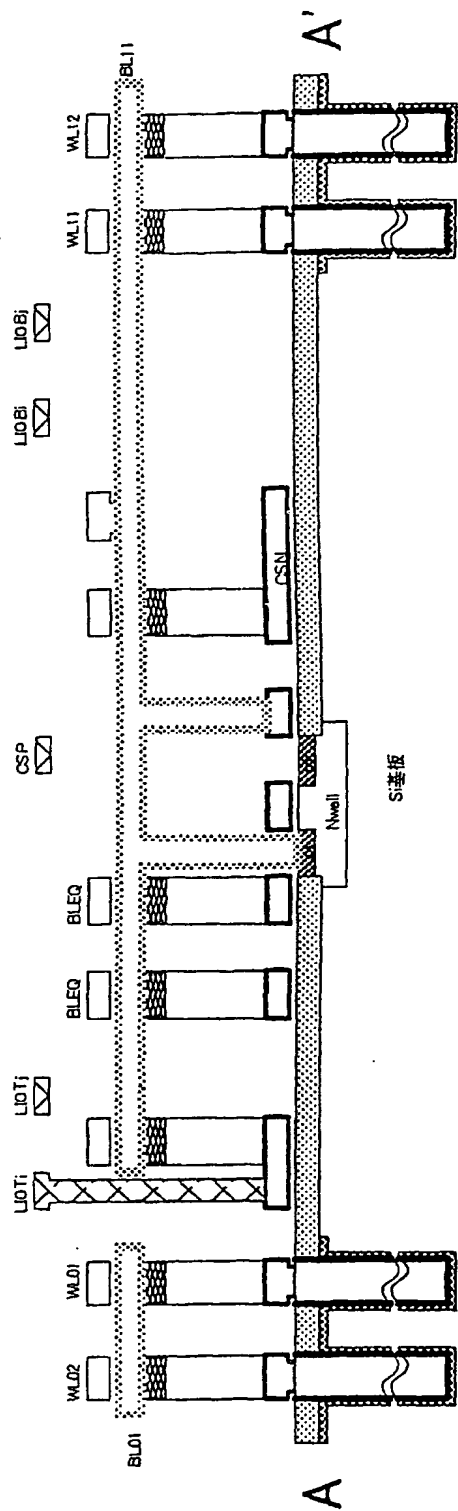
77 ☒



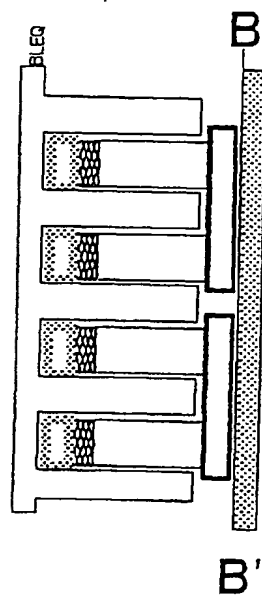
78



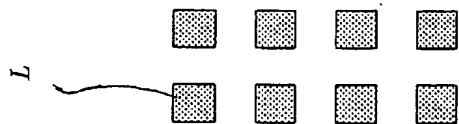
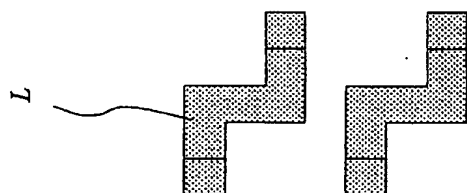
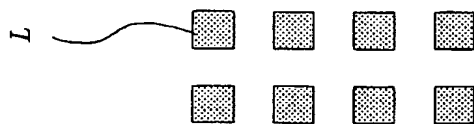
79



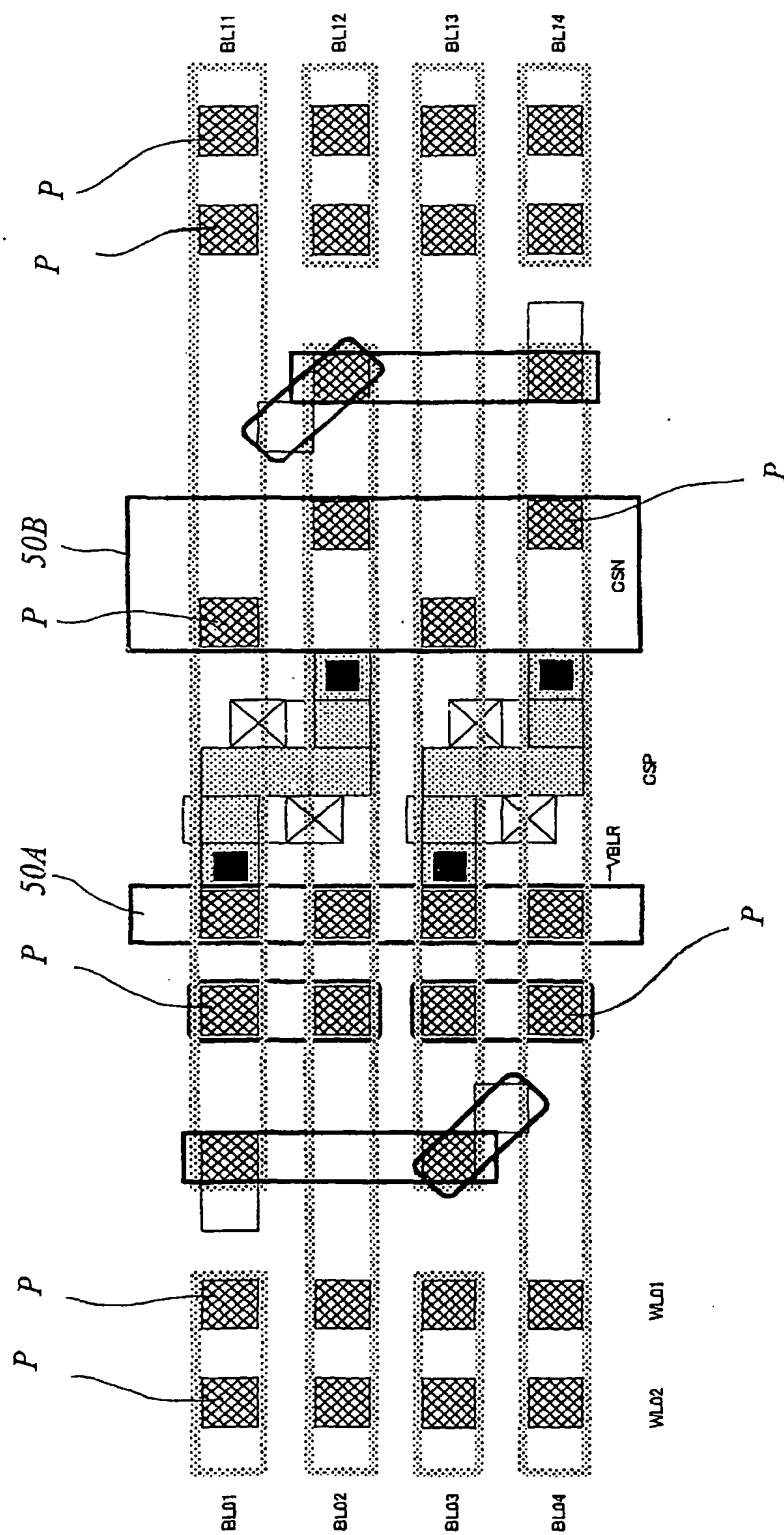
80



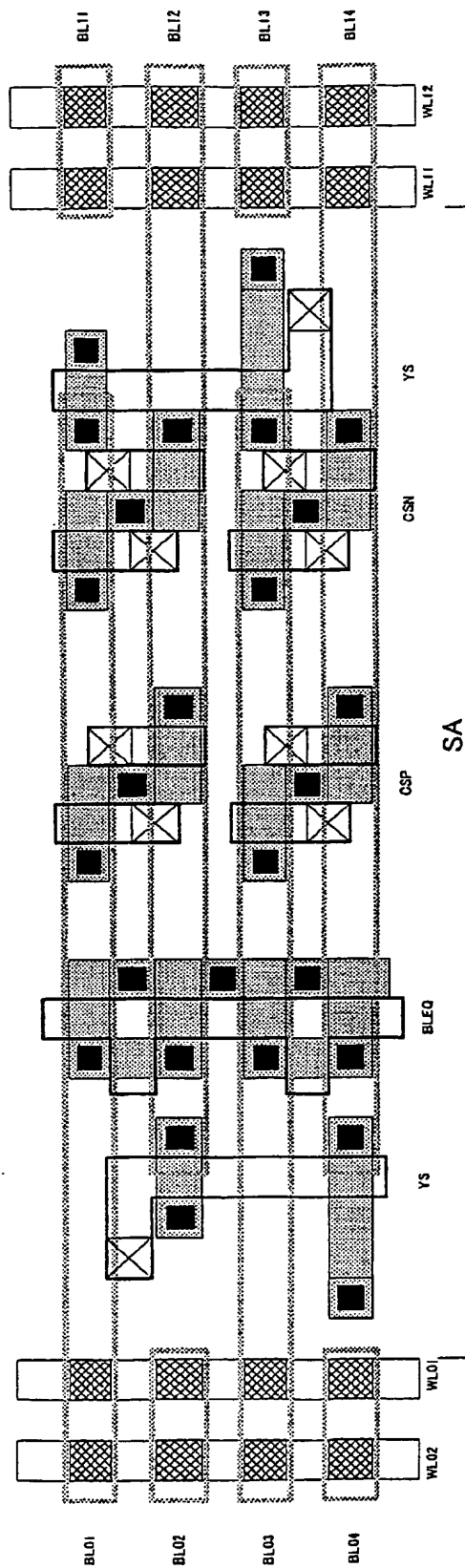
18 



83



84



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05613

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L27/11, H01L27/108, H01L21/8244, H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/11, H01L27/108, H01L21/8244, H01L21/8242

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Toroku Jitsuyo Shinan Koho | 1994-2002 |
| Kokai Jitsuyo Shinan Koho | 1971-2002 | Jitsuyo Shinan Toroku Koho | 1996-2002 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| X Y | US 5198683 A (Motorola, Inc.), 30 March, 1993 (30.03.93), Column 4, line 36 to column 7, line 50 & JP 5-167040 A Column 7, line 11 to column 10, line 23 | 1-4 5, 6, 9, 10 |
| X Y | JP 9-232447 A (NEC Corp.), 05 September, 1997 (05.09.97), Column 5, line 43 to column 8, line 3 (Family: none) | 1-4 5, 6, 9, 10 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
10 September, 2002 (10.09.02)

Date of mailing of the international search report
01 October, 2002 (01.10.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05613

| C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|---|--|--|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X Y | US 5670803 A (International Business Machines Corp.), 23 September, 1997 (23.09.97), Full text & JP 8-241931 A Full text & KR 188623 B | 17, 18 5, 6, 9, 10 |
| X Y | JP 1-265558 A (Sony Corp.), 23 October, 1989 (23.10.89), Page 2, upper right column, line 12 to page 3, lower right column, line 7 (Family: none) | 17, 18 5, 6, 9, 10 |
| A | JP 2001-28443 A (Hitachi, Ltd.), 30 January, 2001 (30.01.01), Column 14, line 50 to column 15, line 33 & WO 00/70683 A | 7, 8 |
| Y X A | US 5994735 A (Mitsubishi Denki Kabushiki Kaisha), 30 November, 1999 (30.11.99), Column 38, line 6 to column 41, line 55; column 42, line 36 to column 44, line 28 & US 6127209 A & JP 7-99311 A Column 57, line 12 to column 62, line 18; column 63, line 11 to column 65, line 30 | 19, 20, 25, 26 1-6, 23, 24, 27, 28 29, 30 |
| Y A | US 5627390 A (Mitsubishi Denki Kabushiki Kaisha), 06 May, 1997 (06.05.97), Column 14, line 8 to column 15, line 29; Fig. 16 & JP 7-321228 A & DE 4443968 A & DE 4447639 A & US 5780888 A & US 6150688 A & KR 200222 B | 19, 20 29, 30 |
| Y | JP 6-104405 A (Toshiba Corp.), 15 April, 1994 (15.04.94), Claims 1, 2 (Family: none) | 25, 26 |
| A | Shigeyoshi WATANABE et al., A Novel Circuit Technology with Surrounding Gate Transistors (SGT's) for Ultra High Density DREAM's. IEEE Journal of Solid- State Circuits, Vol.30, No.9, 1995.09, pages 960 to 971, full text | 1-30 |